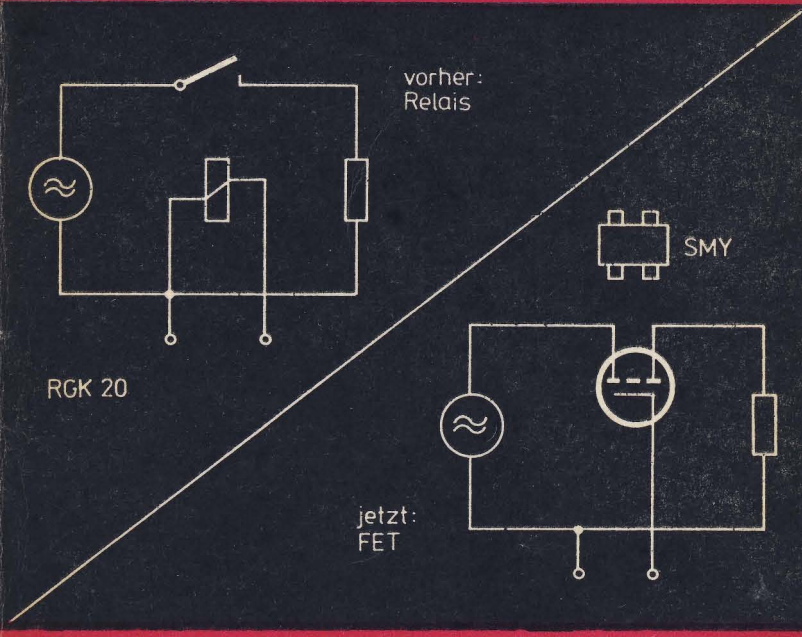
amateurreihe

electronica



E. A. Frommhold

181

FET-Analogsignal-schalter

electronica · Band 181

E. A. FROMMHOLD

FET-Analogsignalschalter

MILITÄRVERLAG
DER DEUTSCHEN DEMOKRATISCHEN
REPUBLIK

1. Auflage, 1980, 1.—20. Tausend
© Militärverlag
der Deutschen Demokratischen Republik (VEB) — Berlin, 1980
Cheflektorat Militärliteratur
Lizenz-Nr. 5 · LSV: 3539
Lektor: Rainer Erlekampf
Zeichnungen: Angelika Prüfert
Typografie: Helmut Herrmann
Hersteller: Michael Haase
Korrektor: Rita Abraham
Printed in the German Democratic Republic
Gesamtherstellung: Druckerei Märkische Volksstimme Potsdam
Redaktionsschluß: 20. Oktober 1979
Bestellnummer: 746 211 4
DDR 1,90 M

Inhaltsverzeichnis

Vorwort 6

1. Einleitung 9

2. Funktionsprinzip des FET-Analogschalters 12

3. Übersicht über die besonderen Eigenschaften des FET-Analogschalters 19

4. Applikationsbeispiel des einfachen FET-Serienschalters 30

5. Der FET-Parallelschalter und kombinierte Anordnungen 35

6. Die Störkapazitäten des FET-Serienschalters 39
6.1. Die Kapazität zwischen Gate und den übrigen Elektroden 39
6.2. Die Kapazität zwischen Eingang und Ausgang des FET-Schalters 39

7. Die Grenzen der Signalamplitude 41
7.1. Signalbegrenzung durch die Sperrschichten 41
7.1.1. Der p-Kanal-Anreicherungstyp 41
7.1.2. Der n-Kanal-Verarmungstyp 43
7.2. Grenzen der Signalamplitude durch Verzerrungen infolge Nichtlinearität des Kanalwiderstands 45
7.3. Spezielle Verhältnisse beim Parallelschalter 47
7.4. Die Grenzen der Sperrwirkung des Serienschalters .. 48
7.5. Die Einhaltung der vom Hersteller angegebenen Grenzen 50

8. Die Gatespannung des FET-Serienschalters 52
8.1. Absolute Grenzen 52
8.2. Die Modulation des Kanalwiderstands durch das Signal 54

8.3. Die Schwellspannung 55
8.3.1. Die Schwellspannung U_T als Kenngröße des FET-Schalters 55
8.3.2. „High-" und „Low-Treshold"-FET 55

9. Die meßtechnische Bestimmung der Schaltereigenschaften 57
9.1. Meß- und Einflußgrößen 57
9.2. Das Meßprogramm 58

10. Resultate durchgeführter Dämpfungsmessungen 60
10.1. Der Signaldurchlaß als Funktion der Gatespannung 60
10.2. Der Signaldurchlaß des gesperrten FET-Schalters als Funktion der Frequenz 62

11. Der Klirrfaktor des durchgeschalteten Signals 65
11.1. Die Verzerrungen durch den Nebenschluß einer Sperrschicht 65
11.2. Die Verzerrungen durch die Spannungsabhängigkeit des Kanalwiderstands 67
11.2.1. Der Einfluß der Gatevorspannung 67
11.2.2. Der Einfluß des Lastwiderstands 71
11.3. Die Verzerrungen bei größerer Signalamplitude mit Vorspannung des Substrats 71
11.4. Der Einfluß des Gatebezugspunkts 74

12. Die Kennlinienstreuungen der Feldeffekttransistoren 76

13. Die Berechnung von Durchlaß- und Sperrdämpfung 82

14. Schaltungsbeispiele 90
14.1. Verzögertes Schalten 90
14.2. Der Serienschalter ohne Verkopplung von Gatevorspannung und Signal 92
14.3. Schaltung zur Erhöhung der sperrbaren Spannung .. 94
14.4. Mehrkanal-Stufenschaltung mit Diodenmatrix 95
14.5. Der bistabile FET-Schalter 98
14.6. Die Ansteuerung des FET-Analogschalters durch Sensortasten 100
14.7. Der FET-Stromschalter 101

14.8. Die Grundschaltung des FET-Schalters mit Sperrschicht-FET 103
14.9. Der Einfluß von Gleichspannungsanteilen an Quelle und Last 106

15. Einfache FET-Prüfungen auf Eignung für den Schalterbetrieb 108
15.1. Die Bestimmung von U_T und $R_{DS\,ON}$ 108
15.2. Die Messung des Gatestroms 112

16. Übertragung analoger Gleichspannungssignale 115

17. Die Anwendung des FET-Analogschalters in der Praxis 115
18. Verwendete Kurzzeichen 120

Literatur 122

Vorwort

Wenn heute von Halbleiterschaltern und speziell vom Feldeffekttransistor als Schalter gesprochen wird, so versteht man im allgemeinen darunter Schalter für Digitalsignale, weil diese in außerordentlich vielfältigen Schaltungsvarianten und in sehr großen Stückzahlen in Rechen- und Steueranlagen eingesetzt werden.

Für ein Bauelement zum Schalten analoger Signale hat sich international der Begriff *Analogschalter (Analog switches, analog gates)* durchgesetzt.

„Analogschalter" heißt „digital gesteuerter Schalter zum Durchschalten oder Sperren analoger Signale".

Den Feldeffekttransistor als Analogschalter findet man immer häufiger in Meßzerhackern, Meßstellenumschaltern, als Verbindungsglied zu Meßwertspeichern *(sample and hold)*, in A/D-Wandlern, als Schaltelement im Zeitmultiplexsystem, in Digitalfiltern und Eimerkettenschaltungen, aber selten in einfachen elektronischen Meßgeräten oder NF-Verstärkern.

Immer häufiger erscheinen in der Fachpresse Einzelbeispiele der vorher genannten Art, aber z. Z. muß jeder, der den FET als Schalter für Analogsignale einsetzen will, selbst die Quellen suchen und studieren. Das Thema ist fast ausschließlich in ausländischer Literatur in größerem Umfang behandelt worden, wodurch diese Arbeit erschwert wird. Der FET-Analogschalter verlockt aufgrund seiner bestechenden Einfachheit zur vorwiegend empirischen Lösung anstehender Aufgaben; das birgt aber die Gefahr in sich, daß eine im Einzelfall funktionierende Schaltung nicht reproduziert werden kann oder unter Grenzbedingungen versagt.

Um die Brauchbarkeit des FET als Schalter für analoge Signale beurteilen zu können, muß erst auf eine Reihe von Fragen die Antwort gefunden werden:

Wie groß sind Durchgangs- und Sperrwiderstand sowie Sperrkapazität der FET, welche Steuerspannung ist zum Öffnen und Schließen des FET-Kanals erforderlich, welchen FET-Typ wählt man zur Lösung einer bestimmten Aufgabe?

Die Antworten hierauf lassen sich in erster Näherung aus den Herstellerunterlagen entnehmen. Aber schon die Fragen nach den Grenzen der schaltbaren Signalspannung, nach dem Klirrfaktor des durchgeschalteten Signals, nach dem Einfluß von Quell- und Lastwiderstand auf die Durchlaß- und Sperrdämpfung, nach den Streuungen der Parameter, nach der Frequenzabhängigkeit des FET-Analogschalters und schließlich nach den möglichen Schaltungsvarianten bleiben zunächst offen. Doch gerade diese Fragen müssen beantwortet sein, bevor der FET-Analogschalter zu einem Standardelement des Geräteentwicklers wird, das genauso sicher und selbstverständlich zum Einsatz kommt wie ein mechanischer Schalter oder ein elektromagnetisches Relais.

Bevor generelle Anwendungsrichtlinien und -grenzen fixiert werden konnten, war es notwendig, etwas tiefer in diese Materie einzudringen, und es wird für den Leser nützlich sein, diesen mit der vorliegenden Arbeit gangbar gemachten Weg ebenfalls zu beschreiten. In der allgemeinen Literatur über den FET wird der Analogschalter oft gar nicht oder nur am Rande erwähnt, und es ist noch keine ausführliche Darstellung der Anwendungsmöglichkeiten und -grenzen des FET-Analogschalters bekannt geworden. Diese Lücke soll mit der vorliegenden Arbeit geschlossen werden. Insbesondere der Praktiker erhält anwendungsbereite Informationen in dem Sinne, daß innerhalb bestimmter Grenzen rezeptartige Anleitungen vorgelegt werden. In den Grenzgebieten sind die entscheidenden Parameter anhand konkreter Meßergebnisse beschrieben.

Zweifellos ist auf diesem Gebiet noch viel nachzuholen, manche Einzelfrage fand nur eine richtungweisende Antwort und wurde damit zugleich Anregung für Experimente und Messungen in den Grenzgebieten und für weitere applikative Untersuchungen.

Es muß aber ausdrücklich darauf hingewiesen werden, daß die FET aus der DDR-Produktion vom Hersteller vorwiegend für digitale Anwendungen entwickelt wurden und technische Daten sowie Applikationshinweise für den Einsatz des FET als Analogschalter (mit Ausnahme des *FET-choppers* [5]) nicht vorliegen und auch nicht zu erwarten sind. Ebensowenig garantiert der Hersteller bestimmte, für den Analogschaltereinsatz interessierende FET-Eigenschaften, wenn sie über die schon bekannten Daten der TGL hinausgehen. Mit einer Entwicklung und Fertigung weiterer FET-Typen ist in der DDR nicht zu rechnen. Daraus

ergeben sich zwangsläufig Anwendungseinschränkungen für den industriellen Einsatz des MOSFET als Analogschalter. Dem Amateur dagegen stehen alle hier gezeigten Wege offen, um künftig beim Gerätebau weitgehend auf mechanische Kontakte verzichten zu können.

Dresden, im Juli 1979 *E. A. Frommhold*

1. Einleitung

Der Hauptgrund für den Einsatz elektrisch gesteuerter Schalter für Analogsignale besteht darin, Umwege für das Signal (in ungünstigen Fällen über Steckverbinder und geschirmte Leitungen) zu einem von der Trennstelle entfernt liegenden Kontakt zu vermeiden. Jeder Signalumweg birgt die Gefahr der induktiven oder kapazitiven Störeinstreuung in sich, oft stört auch die Kapazität der Umwegleitung gegen andere signalführende Leitungen (Übersprechen) oder die durch Abschirmungen vergrößerte Kapazität der Leitungen gegen Masse. Als Ideal kann eine Lösung angesehen werden, bei der sich ein ferngesteuerter Schalter direkt an der gewünschten Trennstelle auf der Leiterplatte einfügen läßt und wo lediglich eine gegen Störungen unempfindliche Leitung je Kontakt oder je Kontaktgruppe zur Steuerung weggeführt wird. Feldeffekttransistoren als elektronische Schalter erfüllen diese Bedingungen, sie eignen sich neben der weitverbreiteten Anwendung in der Digitaltechnik auch zum Schalten analoger Signale. In der NF-Technik kann der FET-Analogschalter in nahezu idealer Weise Relais ersetzen, komplizierte Paketschalter vereinfachen helfen und schließlich direkt durch Sensortasten, MOS-Schaltkreise oder auch durch Pegelwandler (TTL/MOS) angesteuert werden.

Als „digital gesteuerter Schalter für Analogsignale" ist z. Z. noch das elektromagnetische Relais (EMR) am weitesten verbreitet. Ein wesentlicher Nachteil des offenen EMR ist die mit der Betriebsdauer zunehmende Schaltunsicherheit durch Fremdschichtbildung auf den Kontakten. Bei Schutzrohrkontaktrelais wurde dieser Nachteil weitgehend beseitigt. Diese sind jedoch nicht mit vielgliedrigen Kontaktsätzen erhältlich.

Alle EMR benötigen im Vergleich zum FET-Schalter bedeutend mehr Raum und eine höhere Betriebsleistung. Für die Steuerung der EMR muß oft das Netzteil vergrößert werden, und bei Ansteuerung durch Logikschaltungen sind meistens elektronische Zwischenglieder (Treiber) erforderlich, welche die höhere Steuerleistung für die Relais aufbringen.

Meßschaltungen erfordern in zunehmendem Maße hochstabile

und störspannungsfreie Quellen für die Betriebsleistung. Es wäre unrationell, wegen der Relais die elektronischen Stabilisierungsschaltungen für größere Leistungen auszulegen, außerdem würden die sprunghaften Laständerungen die Stabilisierung beeinträchtigen; der Relaisstromkreis verlangt also eine separate Gleichrichtergruppe, eventuell auch Netztransformatorwicklung. Des weiteren muß der Relaisstrom oft über eine Doppelleitung zu- und abgeführt werden, weil über eine gemeinsame Null-Leitung Störspannungen in den Signalweg kommen. Schließlich entsteht beim Trennen der Betriebsspannung vom Relais durch die Selbstinduktion ein steilflankiger Impuls beträchtlicher Amplitude mit der Gefahr der Einkopplung in den Signalweg. Gegenmaßnahmen in Form der bekannten Funkenlöschschaltungen können diese Störungen nicht vollständig beseitigen und erfordern wieder zusätzliche Bauelemente.

Als weiterer, aber in der NF-Technik oft nicht störender Nachteil des Relais sind die längere Schaltzeit und das Kontaktprellen sowie das Schwingen der Kontaktzungen (etwa 1 kHz beim Schutzrohrkontakt) zu nennen.

Die genannten Nachteile des EMR rechtfertigen den in dieser Arbeit vorgenommenen Versuch, die Grenzen abzustecken, in denen der FET das elektromechanische Relais nicht nur ersetzen, sondern ihm gegenüber sogar technische und ökonomische Vorteile bieten kann.

Um Verschleiß- und Wartungsfreiheit, aber auch um kürzere Schaltzeiten und Raumeinsparung zu erzielen, gab es schon vor Einführung des FET-Analogschalters zahlreiche Bemühungen um kontaktfreie, also rein elektronische Analogschalter. Analogsignale wurden durch Halbleiterbauelemente wie Dioden, bipolare Transistoren oder auch optoelektronisch geschaltet. Bei einfachen Schaltanordnungen mit Dioden oder bipolaren Transistoren entsteht während des Schaltvorgangs eine starke Veränderung des Gleichspannungspotentials der Signalleitung. Der Sprung führt zu einer unerwünschten Ladungsverschiebung auf den meistens vorhandenen Koppelkondensatoren und dadurch zu einer zeitweiligen Verstärkerblockierung. Diodenbrücken mit 4 oder mehr Dioden ebenso wie Analogschalter mit bipolaren Transistoren erfordern hohen Aufwand zur Ansteuerung. Signal- und Steuerstromquelle haben oft keinen gemeinsamen Bezugspunkt. Die Steuerspannungsquelle führt dann leicht zur Einkopplung

von Störspannungen und vergrößert – wenn sie mit der Signalleitung direkt verbunden ist – deren Kapazität gegen Masse. Optoelektronische Anordnungen haben einen relativ hohen Durchgangswiderstand, und die Steuerleistung ist wie bei den Diodenschaltern und bei den Relais nicht vernachlässigbar. Schalter mit bipolaren Transistoren benötigen außerdem eine ständige Betriebsleistung, ganz gleich, ob der Schalter geöffnet oder gesperrt ist.

Der Feldeffekttransistor – als Schalter für analoge Signale verwendet – vermeidet diese Nachteile der Schalter mit mechanischem Kontakt und der anderen Halbleiterschalter weitgehend.

2. Funktionsprinzip des FET-Analogschalters

Bild 2.1 zeigt die am häufigsten benutzte Anordnung des elektromechanischen Relais als Analogschalter. In Bild 2.2 ist dargestellt, wie man in dieser einfachen Reihenschaltung von Quelle, Schalter und Last das EMR durch den FET ersetzen kann.
Die Kontaktfunktionen:
b – Ruhekontakt (Signal gesperrt, wenn Steuerspannung anliegt)
a – Arbeitskontakt (Signal durchgeschaltet, wenn Steuerspannung anliegt) und
sind durch die FET-Typen
b – Verarmung (selbstleitend)
a – Anreicherung (selbstsperrend) und
zu realisieren. Die Kombination beider ersetzt das Relais mit Umschaltkontakt (Wechsler).
Den Kontakt bildet nun der zwischen Source und Drain befindliche Kanal, dessen Durchlaß- oder Sperrfähigkeit durch das Feld der Gateelektrode bei 2 Grenzwerten der Gatespannung (vorzugsweise 0 V und $\geqq -10$ V $\leqq -15$ V) bestimmt wird, so wie dies Bild 2.3 zeigt. Die Grundlage des FET-Analogschalters bildet die Charakteristik in Bild 2.4, aus der hervorgeht, daß der FET als steuerbarer *ohmscher* Widerstand verwendet werden

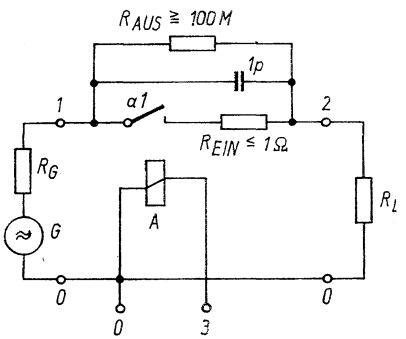


Bild 2.1
Das elektromechanische Relais als digital gesteuerter Schalter für Analogsignale

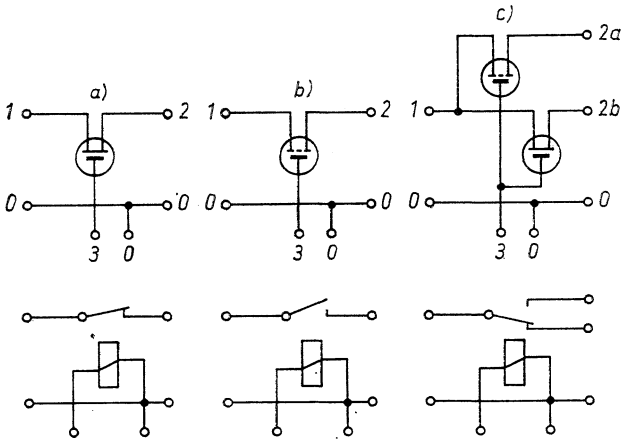


Bild 2.2 Relaisschaltungen, die durch FET-Analogschalter ersetzt werden können; a — Relais mit Ruhekontakt, ersetzt durch Verarmungs-FET, b — Relais mit Arbeitskontakt, ersetzt durch Anreicherungs-FET, c — Relais mit Wechselkontakt, ersetzt durch beide FET-Arten
gezeichneter Zustand: $U30 = 0$ V, anderer Schaltzustand: $U30 = -10$ bis -15 V

kann. Der entscheidende Unterschied zum EMR besteht in folgendem:

a – Der Durchlaßwiderstand liegt beim FET je nach Typ zwischen 30 und 500 Ω.

b – Die Steuerung ist nahezu leistungslos möglich.

Im Sperrverhalten besteht praktisch kein Unterschied zwischen dem Relais und dem FET-Analogschalter. Tabelle 2.1. zeigt die für den Schaltbetrieb wichtigen Kennwerte der in der DDR gefertigten FET-Typen und Bild 2.5 die R_{DS}/U_{GS} – Kennlinien. $R_{DS\,ON}$ kann man auch nach Bild 2.4a aus den Ausgangskennlinien errechnen, indem man auf dem geradlinig ansteigenden Teil einer Kurve oder einer entsprechenden Verlängerung derselben einen Punkt festlegt, von dem aus die dazugehörenden Werte für Strom I_D und Spannung U_{DS} bestimmt werden.

Einen weiteren Unterschied zwischen dem EMR und dem FET-Schalter zeigt Bild 2.6. Während das EMR eine Hysterese hat, folgt der FET-Kanalwiderstand stets der Steuerspannung.

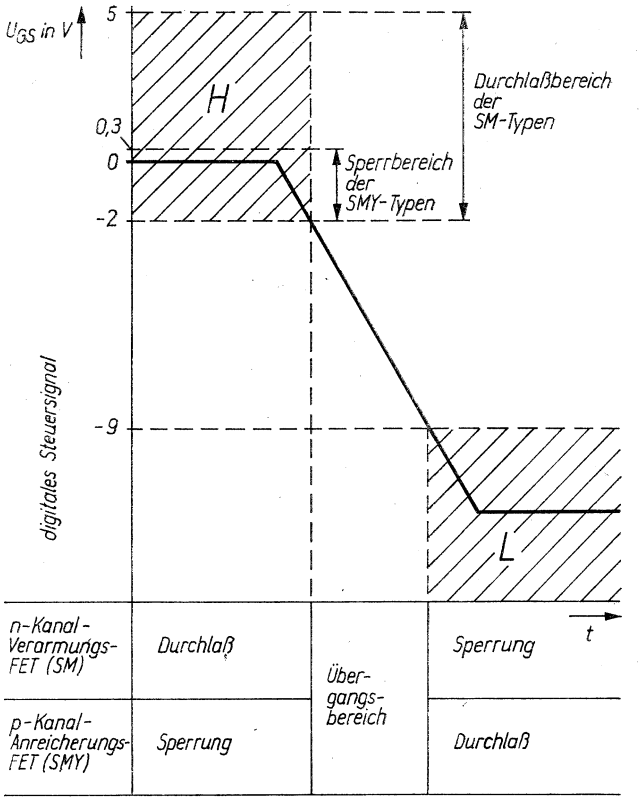


Bild 2.3 Digitales Steuersignal für FET-Analogschalter mit Toleranzfeld, Schaltvorgang von H nach L

Der FET-Analogschalter hat gegenüber manchen anderen elektronischen Analogschaltern den Vorteil, daß die Steuerspannung nicht über die Signalleitung geführt wird. Beim FET-Analogschalter haben im allgemeinen die Signalspannungsquelle und die Steuerspannungsquelle den gleichen Bezugspunkt (Null-Leitung, Masse). Als Steuerspannung kann deshalb in vielen Fällen die

Betriebsspannung des Geräts verwendet werden. Liegt diese nicht in geeigneter Höhe oder Polarität vor, so ist es durch den verschwindend geringen Leistungsbedarf des FET mit wenig Aufwand möglich, diese meistens ohne Stabilisierung auskommende Spannung zusätzlich zu gewinnen. Beschränkt man sich auf Signalspannungen $\leqq$ 300 mV, läßt sich in den Anordnungen nach Bild 2.2 tatsächlich ein einfacher Austausch zwischen EMR und FET vornehmen, sofern der höhere Durchgangswiderstand des Kanals die Funktion der Schaltung, in die der FET eingefügt werden soll, nicht beeinträchtigt und sofern die Steuerspannung in der erforderlichen Höhe vorliegt ($\geqq$ — 10 V). Das ist deshalb besonders bemerkenswert, weil in NF-Verstärkern die Schaltfunktionen praktisch stets in den Vorstufen, also bei niedrigen Signalspannungen vorgenommen werden und dadurch häufig die genannten stark vereinfachten Bedingungen erfüllt sind.

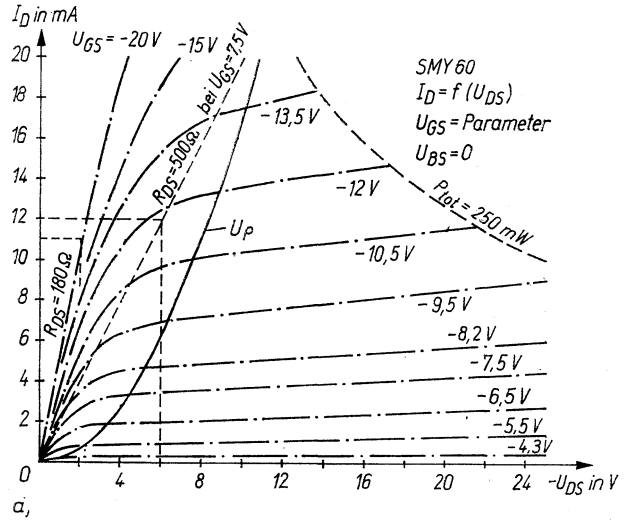
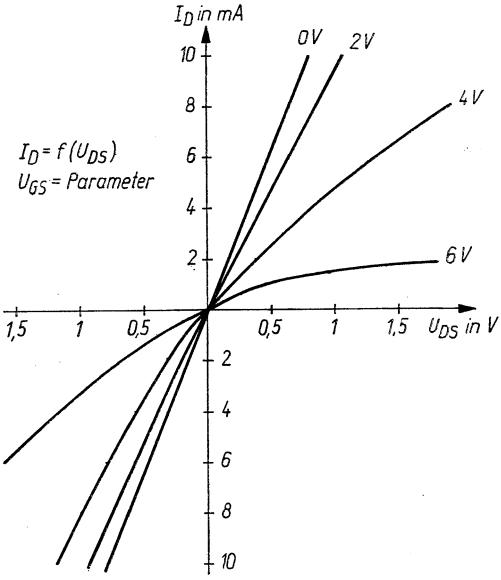
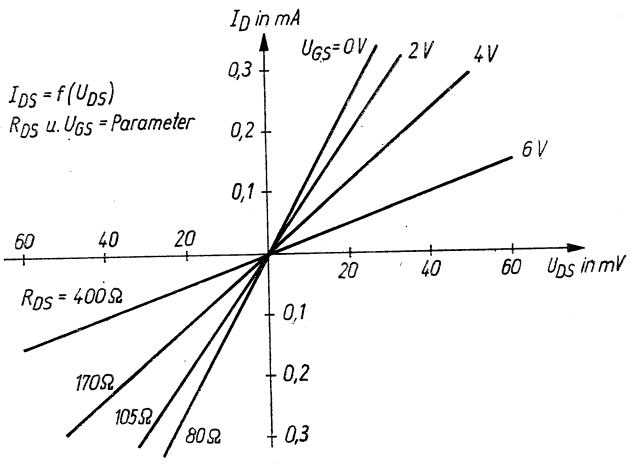


Bild 2.4 FET-Ausgangskennlinienfelder; a — Übliches Kennlinienfeld (*SMY 60*), b — Kennlinienfeld mit Fortsetzung der Kurven bei umgepolter Drain/Source-Spannung (2 *N 3386*), c — Ausschnitt aus Bild 2.4b im Ursprungsbereich: Der FET als (Gate-)spannungsgesteuerter Widerstand


I_D in mA
0V
2V
4V
6V
$I_D = f(U_{DS})$
U_{GS} = Parameter
10
8
6
4
2
1,5
1
0,5
0,5
1
1,5
U_{DS} in V

b,


I_D in mA
U_{GS}= 0V
2V
4V
6V
$I_{DS} = f(U_{DS})$
R_{DS} u. U_{GS} = Parameter
0,3
0,2
0,1
60
40
20
20
40
60
U_{DS} in mV
R_{DS} = 400Ω
170Ω
105Ω
80Ω
0,1
0,2
0,3

c,

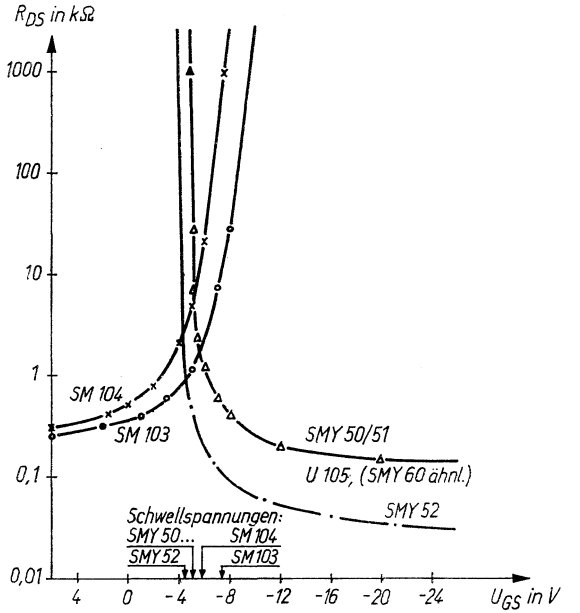


Bild 2.5 Kennlinien der DDR-MOSFET — Kanalwiderstand als Funktion der Gatespannung

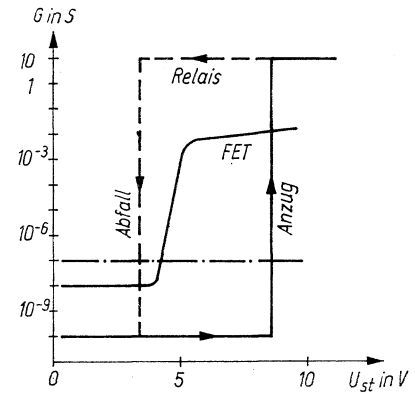
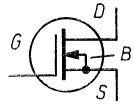
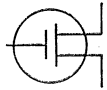
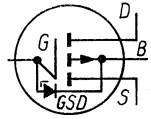
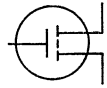
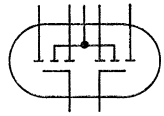
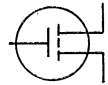


Bild 2.6
Schema der Verhaltensunterschiede zwischen Relais und FET-Schalter: Abhängigkeit des Leitwerts von der Steuerspannung

Tabelle 2.1. Zusammenstellung der für den Analogschaltereinsatz entscheidenden Kennwerte der MOSFET

Typenbezeichnung	Kanaldotierung	Leitungstyp	$R_{DS\ ON}$ in Ω	bei U_{GS} in V	$R_{DS\ OFF}$ in Ω	bei U_{GS} in V	Zustand bei $U_{GS} = 0$	Symbol mit inneren Verbindungen	Symbol, vereinfacht
SM 103	n	Verarmung	350	0	> 10 M	— 9	Durchlaß		
SM 104	n	Verarmung	500	0	> 100 M	— 7	Durchlaß		
SMY 52	p	Anreicherung	55	— 12	100 M	0	Sperrung		
SMY 50	p	Anreicherung	200	— 12	100 M	0	Sperrung		
SMY 51[1])									
U 105 D[2])		Daten wie *SMY 50*							
SMY 60[3])	p	Anreicherung	250	— 12	> 100 M	0	Sperrung		

[1]) Doppel-FET, Anwendung begrenzt, weil Source T2 mit Substrat verbunden
[2]) 6fach-FET, Sourceanschlüsse intern verbunden
[3]) Doppel-FET, ohne Gateschutzdioden

3. Übersicht über die besonderen Eigenschaften des FET-Analogschalters

Die Aufgabe des Analogschalters besteht darin, im Zustand „EIN" das Signal dämpfungsfrei und ohne Verzerrungen zu übertragen und im Zustand „AUS" den Signalweg vollständig zu sperren. In keinem der beiden Fälle darf der Schalter selbst zur Quelle von Störgrößen werden.

Während ein Digitalschalter die Pegelwerte nur ungefähr zu übertragen hat und die Überlagerung relativ hoher Störspannungen zulässig ist, muß also der Analogschalter weit härtere Bedingungen erfüllen [7].

Aus den gestellten Anforderungen an den idealen Analogschalter ergeben sich zugleich die beiden wichtigsten zu kontrollierenden Eigenschaften des wahren Schalters:

a – Die Durchlaß- und Sperrdämpfung (Signalverlust bei „EIN" und Restsignal bei „AUS") und

b – die Verzerrungen des durchgeschalteten Signals (bei Wechselspannung der Klirrfaktor, bei analogen Gleichspannungen die Proportionalitätsabweichung).

Auf Störsignale des FET-Analogschalters (Rauschen) wird nicht eingegangen, da diese fast stets von der Eigenstörspannung des Verstärkers überdeckt werden.

Bild 3.1 zeigt die bis etwa 50 MHz geltende Ersatzschaltung des Analogschalters zwischen Quelle und Last. Beim mechanischen Kontakt entfallen praktisch alle eingezeichneten Widerstände, die als Isolationswiderstände vernachlässigbar groß und als Durchlaßwiderstand vernachlässigbar klein sind. Die Eingangs- und Ausgangskapazitäten $C10$ und $C20$ können zur übrigen Schaltungskapazität addiert oder vernachlässigt werden. Es bleibt bei der Übertragung von Wechselspannungen nur die Durchgangskapazität $C12$ zu berücksichtigen, welche bei höheren Frequenzen als Nebenschluß zum Durchgangs-Isolationswiderstand $R12$ des offenen Kontakts stört, indem sie die Sperrdämpfung vermindert. Sie liegt beim mechanischen Kontakt wie beim FET in der Größenordnung von 1 pF.

Der markanteste Unterschied und zugleich Nachteil des FET-Analogschalters gegenüber dem elektromagnetischen Relais ist der hö-

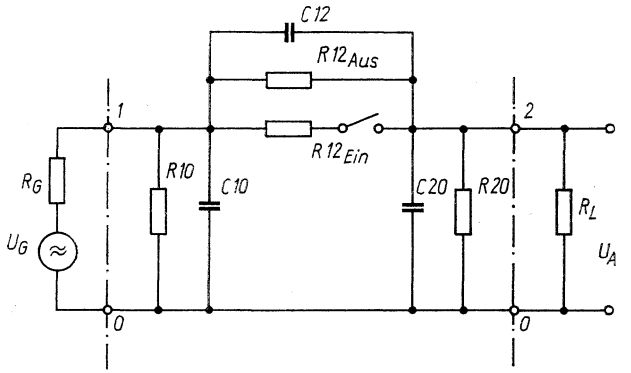


Bild 3.1 Ersatzschaltung des einfachen Stromkreises mit Schalter (Beim FET-Analogschalter: $R\,12 \triangleq R_{DS}$)

here Durchgangswiderstand des aufgesteuerten Kanals $R_{DS\ ON}$. Aus Bild 3.1 geht hervor, daß R_{DS} und R_L einen Spannungsteiler bilden. Das Verhältnis der beiden Werte zueinander bestimmt die Signaldämpfung sowohl im Durchlaß- als im Sperrzustand; es gelten folgendeBedingungen:

Signal gesperrt: $R_{DS\ OFF} \gg R_L$,

Signal durchgehend: $R_{DS\ ON} \ll R_L$.

$R_{DS\ ON} \approx 100\,\Omega$, $R_{DS\ OFF} \approx 100\,M\Omega$, $R_L = 3$ bis $30\,k\Omega$.

Die Wahl von R_L ist ein Kompromiß zwischen großer Sperrdämpfung und kleiner Durchlaßdämpfung. Der angegebene Wertebereich bietet dafür einen praktikablen Spielraum. Um von vornherein einen Überblick zu geben, wird der ausführlichen Behandlung des FET-Analogschalters die Definition einiger spezieller Begriffe und eine kurze Beschreibung der wichtigsten Besonderheiten der FET-Analogschalter vorangestellt. Zur weiteren Information über dieses Thema wird auf [13] bis [15] verwiesen.

Die Nichtlinearität des Kanalwiderstands

Der Kanalwiderstand folgt nur angenähert dem *Ohmschen* Gesetz. Es verbleibt eine Abhängigkeit von der Signalpolung und -amplitude als Ursache von Verzerrungen. $R_{DS\ ON}$ ist genaugenommen eine Funktion der Schaltereingangsspannung $U10$; dadurch

ändert sich das Teilungsverhältnis R_{DS}/R_L mit der Aussteuerung. Die Schalterausgangsspannung $U20$ ist also nicht genau proportional zu $U10$.

Die Beachtung der folgenden Grundregel für den FET-Serienschalter bringt zugleich 2 Vorteile, nämlich eine niedrige Durchlaßdämpfung und dazu ein Minimum an Verzerrungen:

Im durchgeschalteten Zustand darf in dem aus Quelle, Schalter und Last bestehenden Stromkreis nur ein kleiner Teil der Spannung am Schalter abfallen.

Diese Regel ist um so kritischer anzuwenden, je größer die maximale Amplitude des Analogsignals ist.

FET-Serien- und Parallelschalter

In Bild 2.2 war der FET-Schalter genauso in den Stromkreis eingefügt wie ein elektromechanisches Relais, die Schaltstrecke lag mit Quelle und Last in Reihe, es handelte sich um den FET-Serienschalter. In bestimmten Fällen, z. B. wenn Quell- und Lastwiderstand relativ hoch sind, ist es günstiger, den Schalter-FET einseitig an Masse zu legen; dieser FET-Parallelschalter

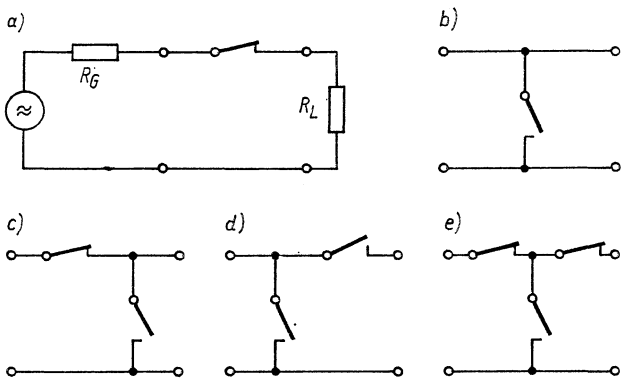


Bild 3.2 Zusammenstellung der verschiedenen Kontaktanordnungen; a — Serienschalter, b — Parallelschalter, c — Serien/Parallel-Schalter, d — Parallel/Serien-Schalter, e — Doppelserien/Parallel-Schalter (T-Glied)

kann auch mit einem oder 2 FET-Serienschaltern kombiniert werden, es entsteht dann eine L- oder T-förmige Anordnung (Bild 3.2). Kombinierte Parallel- und Serien-FET müssen bei gleichem FET-Typ gegensinnig angesteuert werden, oder man muß – wie in Bild 2.2 Anreicherungs- und Verarmungstyp gemischt anwenden.
Für die weiteren Ausführungen wird folgendes festgelegt: Der Sperrzustand der Transistoren wird durch den Index „OFF" und der Durchlaß durch „ON" gekennzeichnet. Der gesamte Schalter erhält im Sperrzustand die Bezeichnung „AUS" und im Durchlaßzustand „EIN". Dadurch werden Mißverständnisse bei den Schaltern mit Parallelkontakt ausgeschlossen, weil bei diesen der Sperrzustand des Schalters „AUS" den Durchgangszustand des FET (ON) erfordert.

Spannungs- und Stromschalter
Die Praxis moderner NF-Verstärker kommt der oben gekennzeichneten Forderung entgegen, denn es wird in den Vorstufen nicht mit Leistungsanpassung gearbeitet. Bei Spannungsanpassung ist $R_G \ll R_L$ und bei Stromanpassung umgekehrt.
Die Grundregel für den FET-Analogschalter lautet in jedem Fall:

$$R_G + R_L \gg R_{DS\,ON}.$$

Der Quell- oder Lastwiderstand ist so groß, daß der Spannungsabfall über dem Kanal gering bleibt. Da die Einsatzbedingungen in beiden Anpassungsfällen verschieden sind, unterscheidet man FET-Spannungsschalter und FET-Stromschalter. In NF-Verstärkern wird im allgemeinen mit Spannungsanpassung gearbeitet, d. h., der Generatorwiderstand – dargestellt durch den ausgangsseitigen Innenwiderstand der vorangegangenen Verstärkerstufe – ist gegen den Lastwiderstand (Eingangswiderstand der folgenden Stufe) vernachlässigbar klein. Der FET-Spannungsschalter gibt die Spannung der Quelle möglichst verlustlos an die Folgeeinrichtung weiter.
In Verstärkern mit integrierten Schaltkreisen (Operationsverstärker) dagegen findet man häufig, besonders in Verbindung mit FET-Analogschaltern, die Stromanpassung (Bild 3.3). Der dynamische Eingangswiderstand des mit Parallel-Serien-Gegenkopplung ausgestatteten Verstärkers ist sehr klein, der Generator-

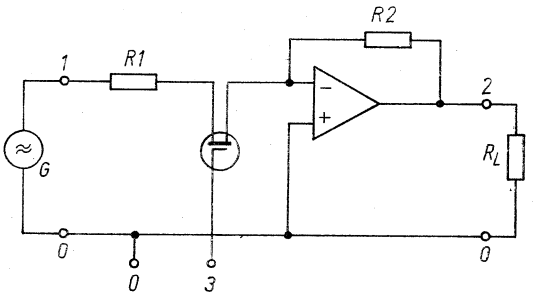


Bild 3.3 FET-Stromschalter vor einem Operationsverstärker

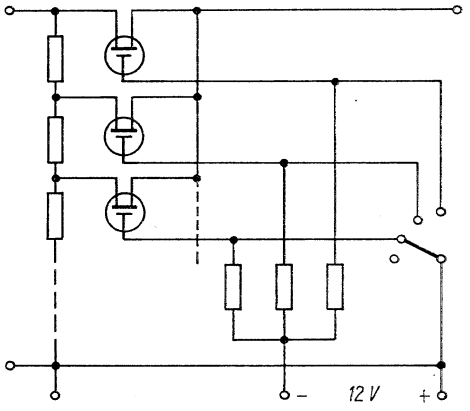
widerstand durch $R1$ stark vergrößert. Am Ausgang des FET-Stromschalters besteht durch die Gegenkopplung ein virtueller Erdpunkt, also eine Spannung nahe Null. Durch den Schalter wird somit allein der Strom übertragen.

Die Ansteuerung der FET-Analogschalter

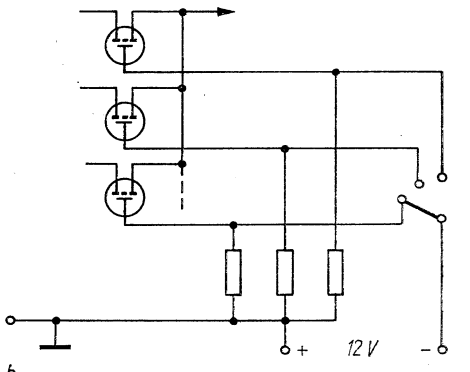
Der Gatestrom des MOSFET ist kleiner als 1 pA. Hat der FET eine Gateschutzdiode, so ist deren Sperrstrom entscheidend. Mit durchschnittlich 1 nA liegt er aber oft weit unter dem garantierten Maximalwert von 0,2 μA.

Die Gatespannungsquelle kann folglich einen sehr hohen Innenwiderstand haben. Um kapazitive Störeinkopplungen zu vermeiden, wird die Gatespannnug oft über einen Hochohmwiderstand zugeführt und vom Gate ein Kondensator nach Masse gelegt. Dadurch entsteht eine Schaltverzögerung. Sie kann für einen weichen Übergang erwünscht, aber auch störend sein. Schnelles Schalten verbietet die Verwendung dieses RC-Glieds und erfordert eine Gatespannungsquelle mit niedrigem Innenwiderstand.

Zur Ausführung der Schaltung des Steuerkreises werden zunächst 2 Beispiele in Bild 3.4 angegeben. Sie zeigen, wie man FET-Gruppen vom Anreicherungs- und Verarmungstyp über einen Stufenschalter ansteuern kann. Der hochohmige Gatekreis ist gegen Schalterverschleiß durch Kontaktoxydation weitgehend unempfindlich.



a,



b,

Bild 3.4 FET-Ansteuerung durch Stufenschalter; a — Verarmungs-FET, b — Anreicherungs-FET

Begrenzerwirkung der pn-Übergänge zum Substrat

Das FET-Substrat (Bulk) ist von Source und Drain durch je eine pn-Schicht getrennt. Praktisch wirkt sich das so aus, als befänden sich parallel zum Kanal 2 gegeneinander geschaltete

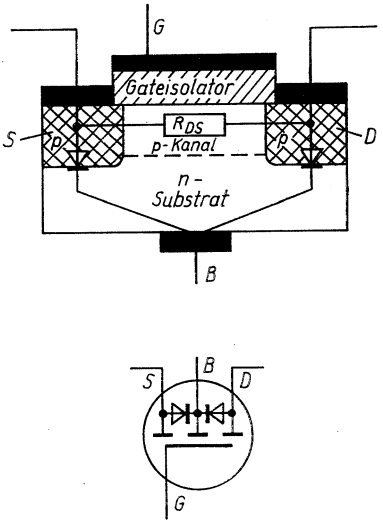


Bild 3.5
Wirkung der pn-Übergänge wie Dioden zwischen Substrat und Drain sowie Substrat und Source
Beispiel p-Kanal-Anreicherungs-FET

Dioden (Bild 3.5). Liegt beim FET-Analogschalter eine pn-Schicht parallel zur Signalquelle, so tritt eine Begrenzerwirkung ein, sobald die Scheitel der entsprechend gepolten Halbwellen die Flußspannung der Sperrschicht erreichen. Liegt beim FET-Serienschalter die pn-Schicht zwischen Quelle und Last, so brechen bei gesperrtem Schalter die Signalspitzen durch, sobald die Flußspannung überschritten wird.

Betrieb mit Vorspannung des Substrats

Die bei Signalspannungen > 300 mV störende Begrenzerwirkung der Substratdioden ist dadurch zu umgehen, daß man das Substrat in Sperrichtung der pn-Übergänge vorspannt. Dadurch erhöht sich die schaltbare Signalspannung um etwa eine Größenordnung. Die Vorspannung muß etwa 0,5 V höher sein als der Höchstwert der in Flußrichtung gepolten Signale. Es ist aber zu beachten, daß das Substrat wie ein zweites Gate wirkt und eine Vorspannung die Kennwerte des FET verändert (Bild 3.6). $I_{B\,max}$ beträgt 0,1 μA je pn-Übergang; die Vorspannungsquelle kann also einen hohen Innenwiderstand haben. In diesem Fall muß aber u. U. die Spannung wie beim Gate über einen Vorwider-

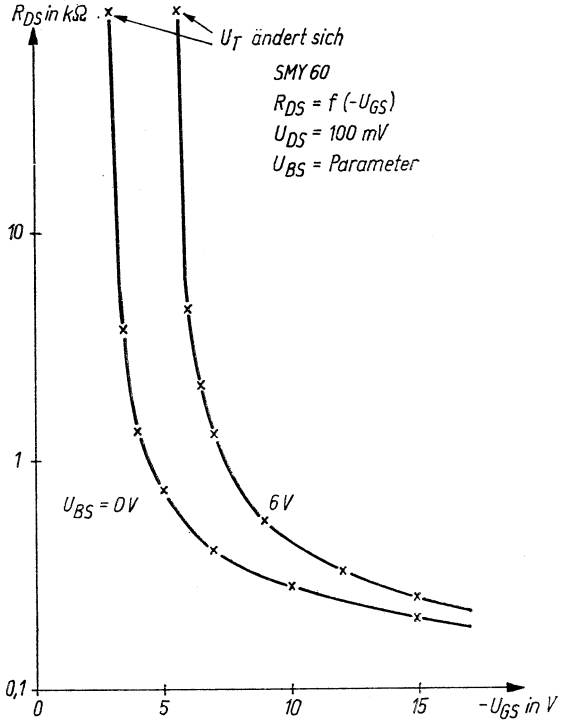


Bild 3.6 Einfluß der Substratvorspannung auf die Schwellspannung

stand (etwa 100 kΩ) zugeführt und das Substrat kapazitiv geerdet werden (etwa 10 nF).

Analogschalter mit Sperrschicht-FET

Der Analogschalter mit SFET kommt mit niedrigeren Steuerspannungen aus, und der Durchlaßwiderstand $R_{DS\,min}$ ist oft niedriger als bei den MOSFET. Bei kleinen Signalamplituden (< 300 mV) besteht kein prinzipieller Unterschied zum Verhalten des MOSFET-Analogschalters. Bei großen Signalen erfordert der pn-Übergang zwischen Gate und Kanal schaltungstechnische Maßnahmen, die verhindern, daß die Flußspannung dieser Sperrschicht erreicht wird.

Der Sperrstrom der Gate/Bulk-Diode begrenzt den Einsatz des SFET in sehr hochohmigen Schaltungen

Vertauschbarkeit von Source- und Drainanschluß

In FET-Verstärkerschaltungen ist die Polung der Betriebsspannung vorgegeben, und die für die Dimensionierung der Bauelemente maßgebenden Parameter und Kennlinien gelten aufgrund des meist nicht symmetrischen Aufbaus der FET nur für die Benutzung der Anschlüsse S und D, so wie sie in der Sockelschaltung angegeben sind.

Beim FET-Analogschalter liegen völlig andere Betriebsverhältnisse vor; der Kanal wird mit unterschiedlicher Polung der Spannung beschickt, zum anderen ist die Spannung am Kanal so niedrig, daß der FET stets im ungesättigten, ohmschen Bereich, also ohne Verstärkung arbeitet, wie dies schon aus Bild 2.4 hervorging.

Es sei besonders darauf hingewiesen, daß die Elektroden Source und Drain keine durch das FET-Prinzip oder die Bauart bedingten Unterschiede aufweisen, wie etwa Anode und Katode bei der Elektronenröhre.

Die Begriffe Source und Drain kennzeichnen einen funktionellen Zustand des FET. Welche der Kanalelektroden jeweils als Source oder Drain arbeitet, wird durch den Bezugspunkt und die Polung der Spannungen bestimmt.

Bei symmetrisch aufgebauten FET ändert sich also nichts, wenn man die mit D und S bezeichneten Anschlüsse vertauscht. Verarbeitet man kleine Signalspannungen, können auch bei unsymmetrisch aufgebauten FET die Anschlüsse S und D ohne Bedenken vertauscht werden. Lediglich bei größeren Signalen in den Grenzgebieten der Charakteristik und besonders bei der Verarbeitung größerer Analogsignale einer bestimmten Polarität ergeben sich dann Unterschiede im Schaltverhalten. Es ist aber zu beachten, daß die Vertauschbarkeit der Elektroden S und D nicht oder nur bedingt gegeben ist, wenn eine innere Verbindung zum Substrat besteht wie bei den SM-Typen zwischen Source und Bulk! In den Schaltungen dieser Broschüre wird auf die Vertauschbarkeit der Anschlüsse S und D nicht weiter hingewiesen. Wenn neben dem FET-Symbol zusätzlich die Buchstaben S und D angegeben werden, sind die Anschlüsse nicht vertauschbar.

Temperaturabhängigkeit

Wie aus Bild 3.7 hervorgeht, liegt der in Verstärkerschaltungen oft benutzte Arbeitspunkt mit kleinem Temperaturkoeffizienten im Kreuzungsbereich der Kurven $R_{DS\,ON} = f(\vartheta)$. Dieser Bereich befindet sich zwischen den beiden Schaltpunkten des FET-Analogschalters und kann deshalb kaum genutzt werden.

Für den Kanalwiderstand $R_{DS\,ON}$ wird ein TK von etwa 0,5 %/K angegeben. Da die Regel für den FET-Analogschalter vorschreibt, daß nur ein kleiner Teil der Signalspannung an $R_{DS\,ON}$ abfallen darf, kann diese Temperaturabhängigkeit fast immer vernachlässigt werden.

Der TK des FET-Sperrwiderstands ist bedeutend größer, er liegt bei — 5 %/K. Da $R_{DS\,OFF}$ im allgemeinen > 100 MΩ ist,

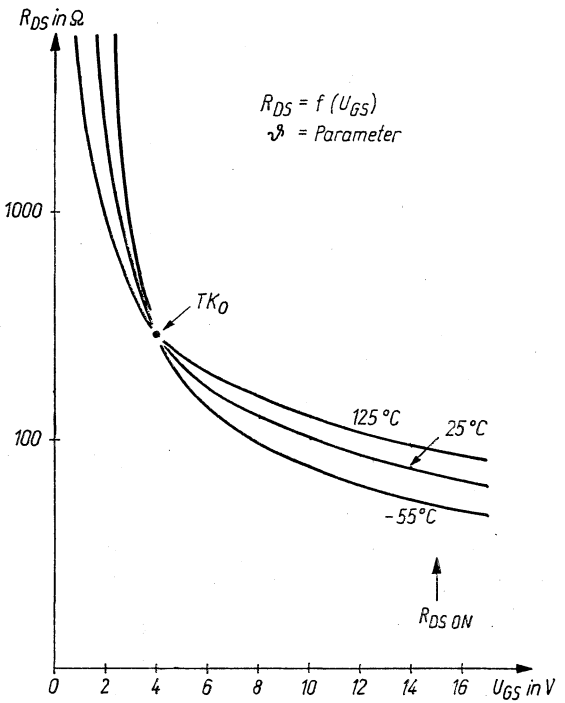


Bild 3.7 Temperaturabhängigkeit des Kanalwiderstands

verliert dies gegen den Blindwiderstand der Durchgangskapazität $X_{C\,12}$ bei Wechselspannungsübertragung seine Bedeutung. Zusammenfassend kann man also sagen, daß der TK des Kanalwiderstands beim FET-Analogschalter nur bei der Übertragung von Gleichspannungen bei höheren Genauigkeitsanforderungen beachtet werden muß.
Da wegen der starken Exemplarstreuung der FET die Werte der Steuerspannung im Schaltbetrieb stets mit reichlicher Reserve bemessen werden, ist im allgemeinen auch der Temperaturkoeffizient der Schwellspannung vernachlässigbar.

Schwellspannung und Abschnürspannung
In der Literatur findet man eine verschiedenartige Definition der Begriffe *Schwellspannung* (U_T) und *Abschnürspannung* (U_P). Es wird daher die folgende eindeutige Definition vorgeschlagen, die auch den Angaben in den Herstellerdruckschriften über die FET der DDR-Produktion entspricht:
Die Schwellspannung (threshold-voltage) U_T ist der Wert der Gatespannung U_{GS}, bei welchem der gesättigte Drainstrom 10 μA beträgt, der FET also praktisch gesperrt ist. Das gilt unabhängig vom Leitfähigkeitstyp des FET und könnte auch die Bezeichnung „Gatesperrspannung" rechtfertigen. U_T ist eine FET-Konstante.
Die Abschnürspannung (pinch-off-voltage) U_P ist der Wert der Drain/Source-Spannung U_{DS}, welcher den Abschnürbereich (pinch-off-region) nach unten begrenzt. Das ist gleichbedeutend mit dem Übergang der ansteigenden Ausgangskennlinie in den Sättigungsbereich. In [7] wurde deshalb auch die Bezeichnung $U_{D\,S\,sat}$ verwendet.

$U_p = U_{GS} - U_T$, bei $U_{G\,S} = 0$ (Verarmungs-FET) wird somit $U_p = U_T$.

Die Spannung U_p ist mit der Kniespannung (Kollektorrestspannung) des bipolaren Transistors vergleichbar.

4. Applikationsbeispiel des einfachen FET-Serienschalters

Bild 4.1 zeigt einige typische Grundschaltungen, in denen anstelle mechanischer Kontakte FET mit Erfolg einzusetzen sind. (Über spezielle Fragen der Verstärkungsumschaltung siehe [18].)
Eine häufig vorliegende Aufgabe besteht in der Umschaltung von Spannungsteilern nach Bild 4.1c und genauer nach Bild 4.2. Die Schaltung – in einem Meßgerät verwendet – muß, zunächst unab-

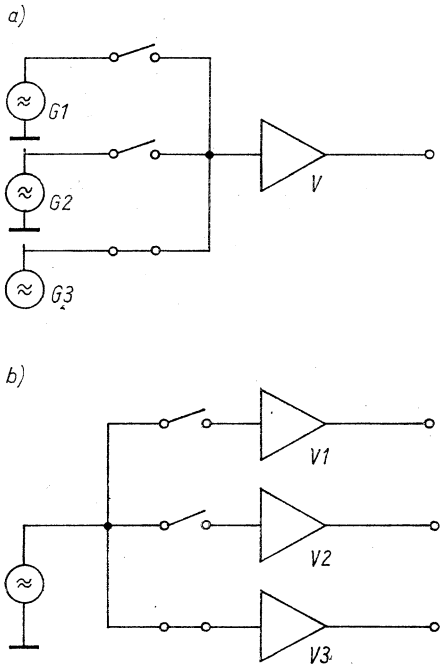
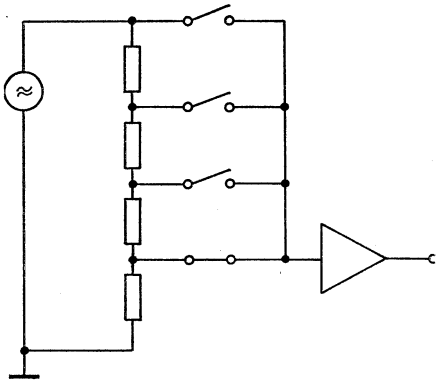
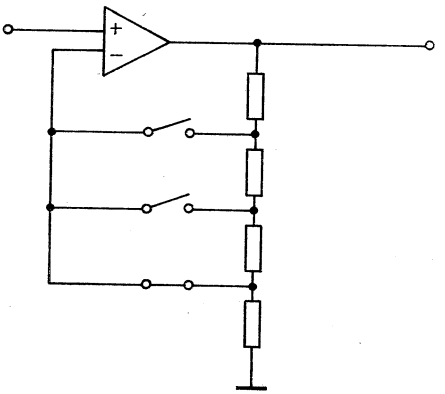


Bild 4.1 Typische Grundschaltungen, in denen mechanische Kontakte durch FET ersetzt werden können; a — Wahl der Signalquelle, b — Wahl des Signalempfängers, c — Dämpfungssteller, d — Verstärkungssteller, nicht invertierend, e — Verstärkungssteller invertierend

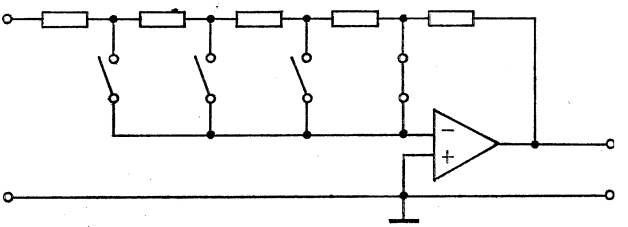
c)



d)



e)



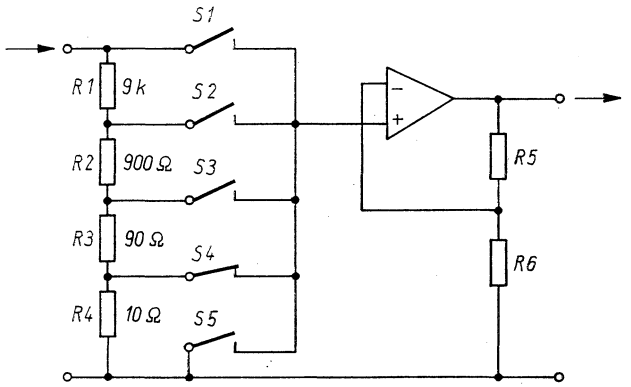


Bild 4.2 Beispiel einer Schaltung nach Bild 4.1c, in der die Kontakte praktisch uneingeschränkt durch FET ersetzbar sind

hängig von der Art des Schalters, die Grundbedingung erfüllen, daß der Verstärkereingangswiderstand gegen die Summe der Teilerwiderstände $R2$ bis $R4$ (1 kΩ) vernachlässigbar groß ist ($\geqq$ 1 MΩ), daß also der Teiler nicht belastet wird. Bild 4.2 zeigt eine Realisierungsmöglichkeit durch die Gegenkopplung des Verstärkers. Mit dieser Maßnahme ist aber auch zugleich eine der beiden Hauptforderungen für den Einsatz des FET-Schalters erfüllt: $R_{\mathrm{L}} \gg R_{12\,\mathrm{ein}}$.

Die zweite Bedingung bezieht sich auf die jeweils gesperrten FET-Schalter: $R_{\mathrm{L}} \ll R_{12\,\mathrm{aus}}$. Diese Bedingung ist im vorliegenden Beispiel nur bedingt dadurch erfüllt, daß zwischen Teiler und Verstärker stets ein Kontakt geschlossen ist. Der jeweils geschlossene Kontakt stellt eine Verbindung vom Verstärkereingang zum Teiler her, dessen unterer Abschnitt jetzt als Lastwiderstand für die übrigen, offenen Kontakte wirkt. Dies geht auch aus Bild 4.3 hervor, welches die Ersatzschaltung des vereinfachten Teilers mit FET-Kontakten zeigt, entsprechend der Schalterstellung in Bild 4.2. Für die Fehlerrechnung kann zum einen der Einfluß der Kontakte S_2 und S_3 vernachlässigt werden, weil diese aufgrund der im Teiler reduzierten Signalamplitude nur einen kleinen Beitrag zum Gesamtfehler leisten. Zum anderen wird der Fehler sehr wesentlich vom Kanalwiderstand des auf

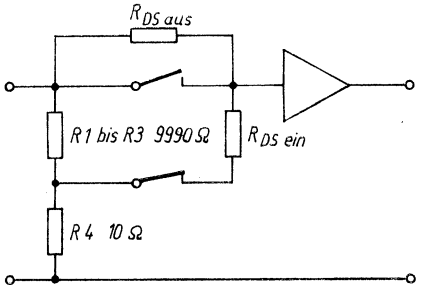


Bild 4.3
Vereinfachte Ersatzschaltung des umschaltbaren Spannungsteilers mit FET-Schalter

Durchlaß geschalteten FET mitbestimmt. Im Beispiel soll das Signal durch den Teiler auf 1/1000 seiner Amplitude geschwächt werden. Läßt man für diese Spannungsteilung einen Zusatzfehler durch die Schaltereigenschaften von 1 % zu, und betrachtet man $R_{DS\,OFF}$ einerseits und $R_{DS\,ON} + R4$ andererseits als selbständigen Spannungsteiler, so muß man eine Dämpfung des Signals um den Faktor 10^5 fordern. Dies wird erfüllt, wenn $R_{DS\,OFF}$ 10^5mal größer ist als $R_{DS\,ON} + R4$, also wenn $R_{DS\,OFF} \geqq 10\ M\Omega$ ist, eine Forderung, die von Feldeffekttransistoren garantiert wird. Eine besondere Eigenart der Schaltung ergibt sich aus dem nicht sehr großen Verhältnis von $R_{DS\,OFF}$ zum Verstärkereingangswiderstand (etwa 10/1): Es muß stets einer der Kontakte geschlossen sein, sonst wird ein relativ großer Betrag der Teilereingangsspannung undefiniert übertragen. Wenn also gar kein Signal übertragen werden soll, muß der Verstärkereingang mit der Nullleitung (S_5) verbunden werden, wobei sich aus R_{DS5} ein unvermeidlicher Restbetrag des Signals in der Größenordnung 10^{-5} der Teilereingangsspannung ergibt.

Die im Beispiel gestellte Aufgabe läßt sich mit einem integrierten Widerstandsnetzwerk vom VEB *Keramische Werke* Hermsdorf (Abmessungen wie bei den bekannten KME-3-Bausteinen) und dem 6fach-MOSFET *U 105* D als Multiplexschalter bei kleinstem Raumbedarf lösen. Mit Vielfach-FET ist allerdings u. U. die geringere Übersprechdämpfung zu berücksichtigen.

Dieses Applikationsbeispiel wurde bewußt den ausführlichen Darlegungen über den FET-Analogschalter vorangestellt, um von vornherein zu zeigen, wie einfach die Anwendung der FET-

Schalter sein kann. Aus diesem Beispiel geht aber auch schon hervor, daß der FET-Schalter stets im Zusammenhang mit Quelle und Last beurteilt werden muß.

5. Der FET-Parallelschalter und kombinierte Anordnungen

Der Schwerpunkt dieser Broschüre liegt auf der Beschreibung des einfachen FET-Serienschalters zum Durchschalten von Spannungen. Dafür sind 3 Gründe ausschlaggebend:

a – Die Schaltung erfordert den geringsten Aufwand.

b – Die FET-Anordnung zwischen Quelle und Last deckt sich mit der üblichen Anordnung eines mechanischen Kontakts.

c – Der Spannungsschalter entspricht den in der NF-Technik vorwiegend gegebenen Anpassungsverhältnissen.

Aber nicht immer läßt sich die Schaltaufgabe mit dem FET-Serienschalter so ideal lösen wie im gezeigten Beispiel, wo praktisch die Durchlaßdämpfung Null und die Sperrdämpfung Unendlich gesetzt werden konnten. Bei hohen Lastwiderständen, wenn die Bedingung $R_{DS\,OFF} \gg R_L$ nicht erfüllt ist, befriedigen die Sperrdämpfungswerte nicht mehr. Das Resultat wird dann besser, wenn der Schalter nicht wie vorher mit Quelle und Last in Reihe, sondern dazu parallel liegt, d. h., wenn die Last kurzgeschlossen wird (Bild 3.2b und Bild 5.1). Der Parallelschalter setzt zwangsläufig voraus, daß die Quelle hochohmig ist oder durch einen Reihenwiderstand hochohmig gemacht wird (R_V), damit die Spannung an $R_{DS\,ON}$ zusammenbricht. Weiterhin darf der Kurzschluß der Last keine störenden Nebenwirkungen haben. Ein Kurzschluß der Last ist z. B. unzulässig, wenn dem Schalter ohne weitere Zwischenglieder ein Verstärker folgt, der noch von anderen Quellen angesteuert werden soll. Er ist ebenso unzulässig, wenn ein stark gegengekoppelter Verstärker folgt, dessen

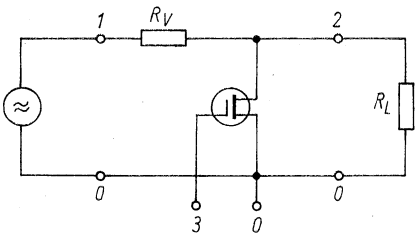
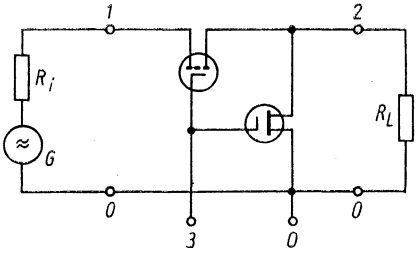
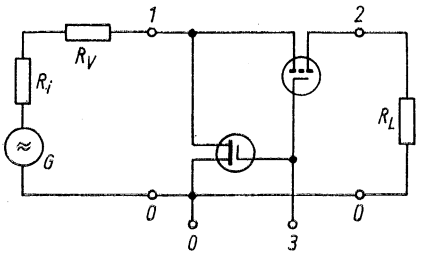


Bild 5.1
FET-Parallelschalter



a,



b,

Bild 5.2
a — FET-Spannungsschalter, b — FET-Stromschalter

Bedingungen für die Gegenkopplung oder für die Frequenzkompensation durch den Nebenschluß des Schalters nicht mehr erfüllt sind.

Der Parallelschalter weist keine Äquivalenz mehr zum einfachen mechanischen Kontakt nach Bild 3.1 auf, weil $R10$ und $R20$ im Zustand „AUS" nunmehr einen sehr niedrigen Wert haben. Beim Serienschalter bestimmt der Lastwiderstand die Schalteigenschaften und beim Parallelschalter der Quellwiderstand. Je kleiner der Lastwiderstand im ersten Fall und je größer der Quellwiderstand im zweiten Fall ist, um so größer wird das Durchlaß/Sperr-Verhältnis.

Bild 3.2c bis Bild 3.2d zeigen Anordnungen, bei denen Parallel- und Serienschalter kombiniert sind. Dadurch wird folgendes erreicht:

a – Beim Serien/Parallel-Schalter (Bild 3.2c) tritt nicht mehr ein Kurzschluß des Generators ein, beim Parallel/Serien-

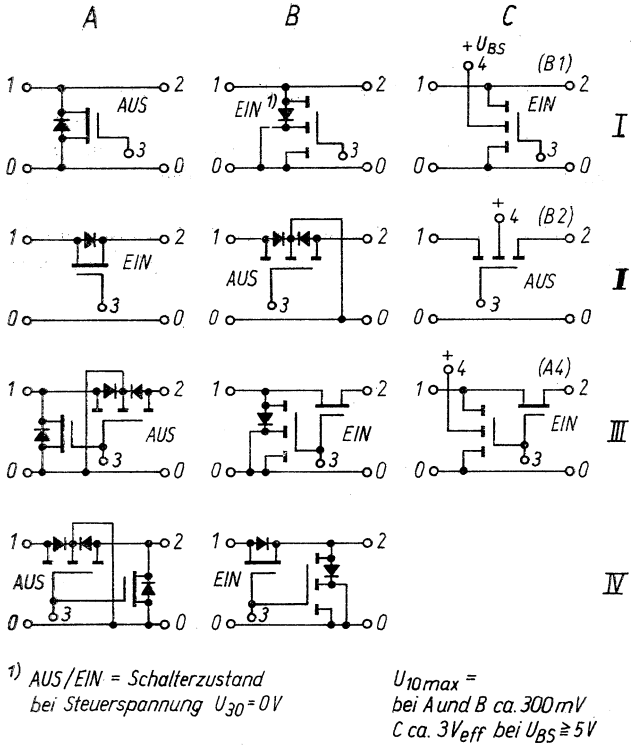


Bild 5.3 Mögliche Varianten von MOSFET-Analogschaltern mit p-Kanal-Anreicherungs-FET und n-Kanal-Verarmungs-FET.
I = Parallelschalter, II = Serienschalter, III = Parallel/Serien-Schalter, IV = Serien/Parallel-Schalter

Schalter (Bild 3.2d) entfällt der Kurzschluß der Last und beim T-Glied (Bild 3.2e) entfällt der Kurzschluß auf beiden Seiten, es verdoppelt sich aber $R_{DS\,ON}$.

b – In jedem der genannten Fälle wird die Sperrdämpfung durch die L- oder T-förmige Anordnung größer als beim einfachen Parallel- oder Serienschalter.

c – Der zulässige Wertebereich für R_G oder/und R_L wird größer.

Durch die gemischte Verwendung von Anreicherungs- und Verar-

mungs-FET wie in Bild 2.2c benötigt man auch hier nur eine (negative) Steuerspannung. Der Schalter nach Bild 3.2c und Bild 5.2a ist als Spannungsschalter, nach Bild 3.2d und Bild 5.2b als Stromschalter geeignet. Die Vergrößerung der Sperrdämpfung tritt dadurch ein, daß der Parallel-FET in Bild 5.2b die Spannung vor dem Serienschalter und in Bild 5.2a den R_L-Wert hinter dem Serienschalter verkleinert. Bild 5.3 zeigt die wichtigsten der besprochenen FET-Schaltervarianten mit Angabe der begrenzenden Sperrschichten; die wechselseitige Verwendbarkeit des Anreicherungs- und Verarmungstyps bei kombinierten Schaltern wurde berücksichtigt.

6. Die Störkapazitäten des FET-Serienschalters

Der Einfluß der Störkapazitäten wird am Beispiel des Serienschalters nach Bild 3.1 gezeigt.

6.1. Die Kapazität zwischen Gate und den übrigen Elektroden

Über die Gatekapazität wird beim Ein- und Ausschalten je ein Störimpuls in den Signalweg injiziert. Im Zusammenwirken von C_{GS} oder C_{GD}, je nach FET-Polung, und R_L kommt es zur Differenzierung; die Störsignalamplitude an R_L wird um so geringer, je langsamer sich U_{GS} ändert und je kleiner R_L ist. Dieser Forderung kommt das schon erwähnte RC-Glied in der Steuerleitung entgegen, welches zur Aussiebung von Störspannungen empfohlen war und nach dem oben Gesagten zugleich die Amplitude des Schaltimpulses verringert. Bei einer Zeitkonstante des Verzögerungsglieds von 0,1 s und einer Gatekapazität zum Schalterausgang von 10 pF ergibt sich z. B. bei $R_L = 10$ kΩ eine Amplitude des Störimpulses von nur 10 μV. Die Impulsanstiegs- und Abfallzeiten kann man auch so groß wählen, daß durch die untere Grenzfrequenz des Verstärkers eine weitere Dämpfung eintritt. In den meisten Fällen kann man also die Einkopplung der Schaltimpulse vernachlässigen. Für komplizierte Anlagen mit Taktsteuerung liegt in [18] eine Berechnung der Störungen durch die Gatekapazität vor.

6.2. Die Kapazität zwischen Eingang und Ausgang des FET-Schalters

Während im eingeschalteten Zustand der Kanalwiderstand bis zu etwa 50 MHz als frequenzunabhängig gilt, ist im Sperrzustand die Durchgangskapazität $C12$ zu berücksichtigen, die als frequenzabhängiger Nebenschluß zum Sperrwiderstand $R_{DS\,OFF}$ wirkt. Aus Bild 6.1 ist ersichtlich, daß die Gate- und die Sub-

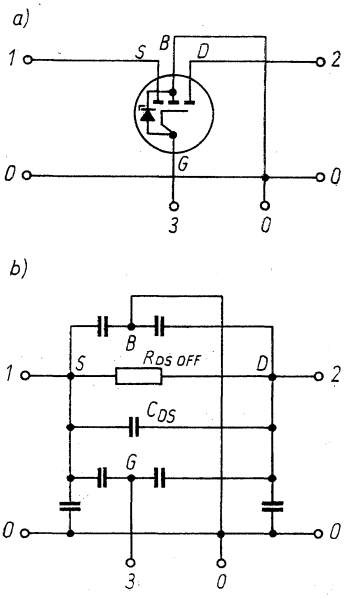


Bild 6.1
a — Serienschalter mit Anreicherungs-FET, b — Ersatzschaltung im Schaltzustand AUS

stratkapazitäten eliminiert werden, wenn man diese Anschlüsse wechselstrommäßig an Masse legt, was auch durch einen niedrigen Innenwiderstand der Quellen für die Vorspannungen zu erreichen ist. Bei kleinen Amplituden wird das Substrat direkt mit Masse verbunden, sofern es beim verwendeten Transistor herausgeführt ist. Dadurch erhält auch die Kapazität der Gateschutzdiode keinen Anteil an der Durchgangskapazität. Wird die Gatespannung über das empfohlene *RC*-Glied geführt, so sorgt der Kondensator für die Entkopplung. Die verbleibende Kapazität C_{DS} liegt in der Größenordnung von 0,1 pF, sofern der Transistor ein geerdetes Metallgehäuse hat. Bei FET im Plastgehäuse muß man mit etwa 1 pF rechnen. Ein erhöhter Wert liegt natürlich auch dann vor, wenn das Substrat intern mit Source verbunden ist, wie bei den FET-Typen *SM 103* und *SM 104*.

7. Die Grenzen der Signalamplitude

7.1. Signalbegrenzung durch die Sperrschichten

In Bild 7.1 und Bild 7.2 sind die beiden MOSFET-Typen in ihrer Funktion als Parallel- und Serienschalter dargestellt. Die eingezeichneten Sperrschichten begrenzen die Signalamplitude wie folgt:

7.1.1. Der p-Kanal-Anreicherungstyp

Beim Serienschalter liegen beide Sperrschichten – zwischen Substrat einerseits und Drain und Source andererseits – parallel zur

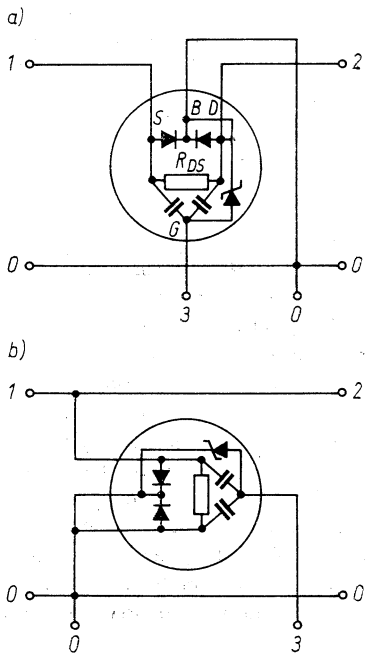


Bild 7.1
Ersatzschaltungen (p-Kanal-Anreicherungs-FET) unter Berücksichtigung der Sperrschichten;
a — Serienschalter,
b — Parallelschalter

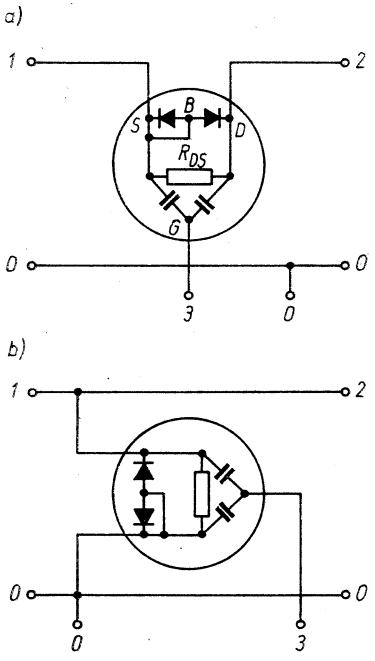


Bild 7.2
Ersatzschaltungen (n-Kanal-Verarmungs-FET) unter Berücksichtigung der Sperrschichten, a — Serienschalter, b — Parallelschalter

Quelle. Beim Parallelschalter belastet nur eine Sperrschicht die Quelle. Die in Flußrichtung gepolten Halbwellen werden bei Überschreiten der Flußspannung begrenzt. Der Klirrfaktor wird bei bestimmter Amplitude um so größer, je höher der Innenwiderstand der Quelle ist, weil sich zwischen R_G und dem Durchlaßwiderstand der Sperrschicht die Spannung teilt. Bild 7.3 zeigt Strom und Eingangswiderstand eines p-Kanal-Serienschalters in Abhängigkeit von der Flußspannung. In Verbindung mit dem Wert des Quellwiderstands kann für einen bestimmten Klirrfaktor der zulässige Scheitelwert des Signals abgeschätzt werden. Aus den geschilderten Verhältnissen ist zu erkennen, daß eine Vorspannung U_{BS} des Substrats in Sperrichtung die Verarbeitung größerer Signalamplituden ermöglicht. Diese Maßnahme ist zum genannten Zweck allgemein üblich und wird in den weiteren Abschnitten mit behandelt.

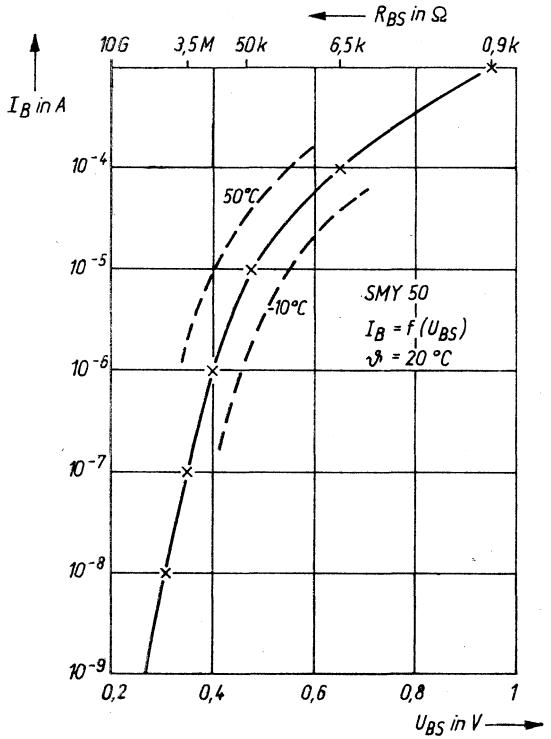


Bild 7.3 Durchlaßcharakteristik der Source/Substrat-Sperrschicht

7.1.2. Der n-Kanal-Verarmungstyp

Für den Parallelschalter trifft das gleiche zu wie für den p-Kanal-Typ, nur mit dem Unterschied, daß die den Generator belastende Sperrschicht anders gepolt ist. Beim Serienschalter liegt keine Sperrschicht parallel zur Quelle. Das Signal wird nicht begrenzt, aber die Sperrwirkung ist beim Überschreiten der Flußspannung aufgehoben. Durch die interne Verbindung zwischen Substrat und Source wirkt im Sperrzustand der pn-Übergang zwischen Substrat und Drain. Die positiven Halbwellen werden also weniger gedämpft als die negativen, sobald die Flußspannung erreicht ist.

Die Sperrwirkung wird bei steigender Amplitude um so geringer, je größer R_L ist, weil zwischen dem Durchgangswiderstand der Sperrschicht und R_L eine Spannungsteilung stattfindet. Eine mögliche Umgehung dieses Mangels gestattet nach Bild 7.4a die gegensinnige Reihenschaltung von 2 FET. Einer der beiden pn-Übergänge ist stets gesperrt, allerdings verdoppelt sich $R_{DS\,ON}$. Nach [19] wird diese Variante auch bei p-Kanal-Anreicherungs-FET zur Symmetrierung des Sperrverhaltens angewendet (Bild 7.4b). Eine solche Wirkung erzielt man auch mit „floating bulk", also mit schwimmendem Substrat (Bild 7.4c). Die Substratdioden wirken dabei als elektronischer Umschalter: Je nach Polung des Signals liegt B an S oder D. Im Durchlaßzustand des Schalters sind

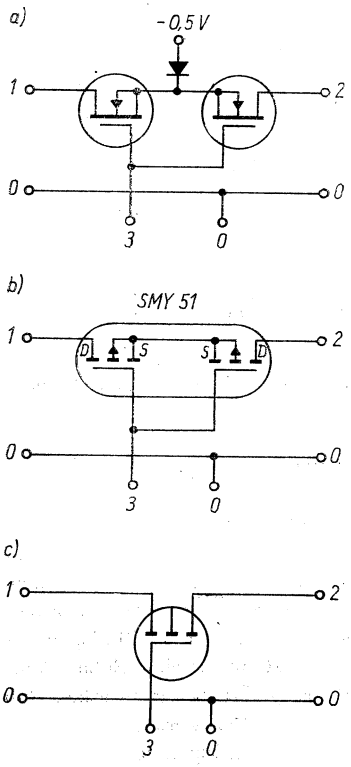


Bild 7.4
Gegensinnige Reihenschaltung zweier FET zur Symmetrierung der Durchlaßfunktion und Vergrößerung des Aussteuerbereichs: a — n-Kanal-Verarmungs-FFT, b — p-(Kanal-Anreicherungs-FET, c — floating bulk

Verzerrungen zu erwarten, da beim Erreichen der Flußspannung der Sperrschicht die positiven Halbwellen einen Nebenanschluß zu $R_{DS\,ON}$ finden, der sich um so mehr auswirkt, je kleiner der Lastwiderstand und je größer $R_{DS\,ON}$ ist.

7.2. Grenzen der Signalamplitude durch Verzerrungen infolge Nichtlinearität des Kanalwiderstands

In der Literatur über Feldeffekttransistoren bezeichnet man den linken Teil der I_D/U_{DS}-Kurve (Bild 2.4a) als ohmschen Bereich. Auch mit dem FET als regelbarem Widerstand [26] bis [29] wird dieser mit Beschränkung auf kleinere Spannungen als linear, also als spannungsunabhängig angesehen. Diese Verallgemeinerungen sind aber auch bei kleinen Spannungen nur bedingt zulässig. Berücksichtigt man die Forderungen, die für die Studiotechnik in Rundfunk und Fernsehen zu erfüllen sind, und beachtet die Qualitätsforderungen an Meßgeräte und Geräte der Konsumgüterelektronik der Hi-Fi-Klasse, muß grundsätzlich davon ausgegangen werden, daß der Klirrfaktor der Ausgangsspannung eines

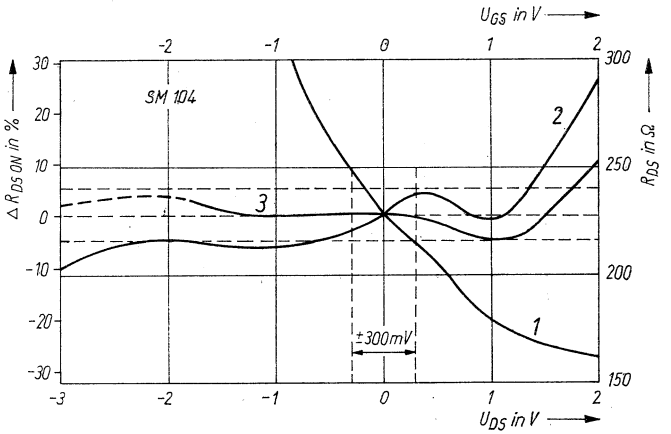


Bild 7.5 Durchlaßverhalten eines FET-Serienschalters mit *SM 104*; Kurve 1: Gate an Source, Kurve 2: Gate an Drain, Kurve 3: Gate an Spannungsteiler zwischen Source und Drain (R_S = 330 kΩ, R_D = 68 kΩ)

Spannungsteilers, der einen FET-Kanal enthält, größer ist als Null. Die Abhängigkeit des Kanalwiderstands von der Spannung wurde, um dies zu demonstrieren, bei einem *SM 104* unter verschiedenen Bedingungen festgestellt und in Bild 7.5 grafisch wiedergegeben. In diesen Kurven kommen folgende Einflüsse zum Ausdruck:

a – die Zunahme von $R_{DS\,ON}$ mit steigender Spannung U_{DS} durch Annäherung an den pinch-off-Bereich;

b – der Parallelschluß der Sperrschicht zum Kanalwiderstand bei Signalpolung in Flußrichtung;

c – die vom Bezugspunkt des Gate abhängige Verkopplung zwischen U_{DS} und U_{GS} bzw. U_{GD}.

Bild 7.5 zeigt, daß die Widerstandsänderungen in einem Aussteuerbereich bis zu etwa 0,2 V bei allen angegebenen Bedingungen nicht größer als $\pm$ 5% vom spannungslosen Wert sind. Bei Steigerung der Signalspannung bis auf etwa 1 V gelingt es nur noch unter bestimmten schaltungstechnischen Bedingungen, diese Grenzen einzuhalten. Die Linearitätsabweichungen betragen im gegebenen Beispiel bei einem Lastwiderstand von 10 kΩ nicht mehr als 0,2%.

Die in der Praxis der FET-Schalter allgemein übliche Anordnung

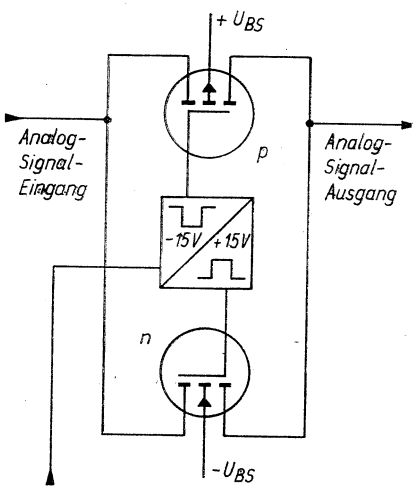


Bild 7.6
CMOS-Analogschalter, Ansteuerung durch monostabilen oder bistabilen Multivibrator

des Serienschalters führt zu einer Verkopplung des Signals mit der Gatevorspannung und damit zu wieder anderen Verhältnissen, die in Abschnitt 8. erörtert werden. In der Literatur wurde empfohlen, die Übertragungskennlinie des FET-Serienschalters durch parallele Anordnung je eines p-Kanal- und eines n-Kanal-FET zu linearisieren und zu symmetrieren (Bild 7.6). Die Verzerrungen bleiben dann auch bei größerer Signalamplitude (bis 10 V) relativ klein. Solche CMOS-Analogschalter werden mit Steuerschaltung (Treiber) in [14] beschrieben. $\Delta\, r_{DS\ ON}$ wird für Vollaussteuerung ($U_{SS} = 30$ V) mit 20% angegeben.

7.3. Spezielle Verhältnisse beim Parallelschalter

Die Signalspannung wird durch die zum Generator parallel liegenden Sperrschichten und die Grenzdaten des Herstellers begrenzt.

Steht der FET-Parallelschalter auf Signaldurchlaß, so kann er in den meisten Fällen als nicht vorhanden betrachtet werden, weil $R_{DS\ OFF} \gg R_L$ ist. Es treten deshalb auch keine Verzerrungen des durchgeschalteten Signals auf, vorausgesetzt, daß man ausreichend weit unterhalb der Flußspannung der Sperrschicht arbeitet.

Die Aufsteuerung des FET führt zum Sperrzustand des Schalters, Geht man davon aus, daß die Sperrung vollständig sein soll, also das Restsignal „Null" angestrebt wird, so existiert die Frage nach möglichen Verzerrungen gar nicht. Praktisch kommt infolge der Spannungsteilung zwischen R_G und $R_{DS\ ON}$ eine Restspannung durch, die aber so klein ist, daß sie kaum von der Nichtlinearität des Kanalwiderstands verzerrt wird.

Wird der Parallelschalter mit einer Bulkvorspannung betrieben (Bild 5.3., CI und CIII), so lassen sich auch größere Signalspannungen verarbeiten. In den nachfolgend genannten Betriebszuständen des p-Kanal-Anreicherungs-FET liegt keine die Sperrung oder den Durchlaß begrenzende Verkopplung zwischen Signal und Gatevorspannung vor:

a – FET = ON, Signal gesperrt, Signalpolung beliebig.
b – FET = OFF, Signal durchgeschaltet, Signal negativ gegen 0.

Eine Grenze entsteht aber durch die Schwellspannung U_T, wenn

das Signal positiv wird. Es gilt die Regel: $+ U_{10\,max} = U_T$. Als Voraussetzung muß die Bulkvorspannung U_{BS} in jedem Fal größer sein als die maximale Amplitude des positiven Signals. Die pn-Übergänge sind dann stets gesperrt und können unberücksichtigt bleiben.

Sollen große Wechselspannungen oder große positive Analogsignale verarbeitet werden, benötigt man FET mit hoher Schwellspannung U_T.

Die Betriebsverhältnisse lassen sich bei den FET-Analogschaltern immer etwas schwerer überschauen, wenn der FET gesperrt ist, weil dann U_{GS} und U_{GD} sehr unterschiedlich sein können. Klare Verhältnisse zeigen die Schalter, sobald der FET auf Durchgang gesteuert wird. Dann geht U_{DS} gegen Null, wodurch U_{GS} und U_{GD} nahezu gleich sind. Das gilt natürlich nur unter der schon empfohlenen Bedingung, daß die Summe $R_G + R_L \gg R_{DS\,ON}$ ist.

Bei positiven Signalen oder bei Wechselspannungen kann auch mit schwimmendem Substrat gearbeitet werden. Der Bulkanschluß bleibt frei, eine Begrenzung durch die pn-Schichten wird nicht bewirkt. Wird nur mit negativen Signalen gearbeitet, so kann man B an 0 legen. Das Signal liegt in Sperrichtung an der pn-Schicht Bulk/Drain.

Der Parallelschalter hat relativ einfache Funktionsbedingungen und bei FET mit herausgeführtem Bulk einen großen Aussteuerbereich; das durchgeschaltete Signal wird nicht verzerrt. Diese Vorzüge sind nutzbar, wenn die größere Durchlaßdämpfung (bei $R_L = R_G$ 50% Signalverlust) und der durch den Vorwiderstand R_V mit den FET-Schalterkapazitäten $C10$ und $C20$ sowie der Kapazität der nachfolgenden Anordnung gebildete Tiefpaß akzeptiert werden können.

7.4. Die Grenzen der Sperrwirkung des Serienschalters

Bereits in Abschnitt 7.1.2. wurde eine der Grenzen erwähnt, nämlich der Signaldurchlaß der Sperrschicht bei entsprechender Signalpolung und Überschreitung der Flußspannung. Eine 2. Grenze entsteht durch die Verkopplung des Signals mit der Gatevorspannung, und zwar dann, wenn das Signal die Sperrwirkung der Vorspannung aufhebt (Bild 7.7).

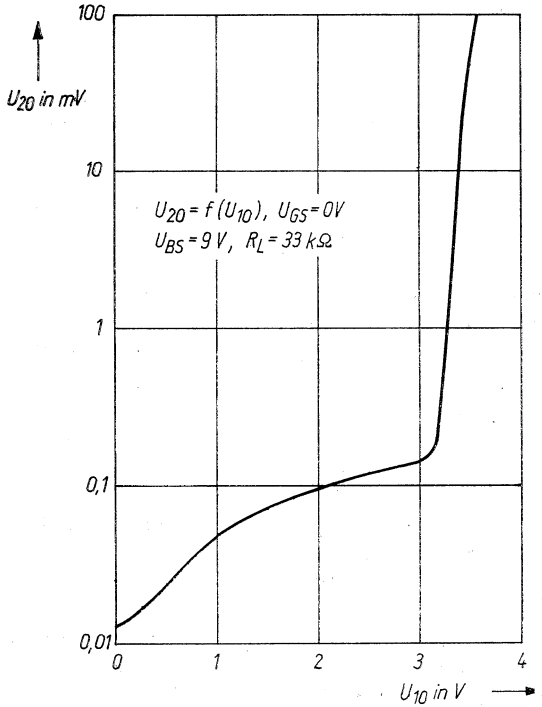


Bild 7.7 Durchschlagen des Signals infolge Übersteuerung des gesperrten Schalters (Serienschalter mit *SMY 51* oder *SMY 52*)

Es sei hier noch einmal daran erinnert, daß im Zustand der Vollsperrung ein unverzerrtes Restsignal übertragen wird, welches sich durch die Spannungsteilung zwischen $X_{C\,12}$ und R_L ergibt. Diese kapazitiv übertragene Komponente ist in Bild 7.7 durch den Teil der Kurve unterhalb des Knicks dargestellt. Im Übergangsbereich, also bei nicht vollständigem Sperren infolge Übersteuerung oder falsch gewählter Gatevorspannung, überlagert sich dem kapazitiv übertragenen Restsignal eine verzerrte Komponente, weil der FET im stark gekrümmten Teil seiner Kennlinie arbeitet. Diese Verzerrungen sind bedeutungslos, solange der

gesamte Restpegel vernachlässigbar klein ist, die Sperrung also als vollständig angesehen werden kann.

7.5. Die Einhaltung der vom Hersteller angegebenen Grenzen

Die Grenzen der Signalamplitude wurden bis jetzt allein vom Standpunkt entstehender Verzerrungen oder des Verlustes der Sperrwirkung betrachtet. Es ist aber auch zu prüfen, ob die vom Hersteller gegebenen Grenzwerte eingehalten werden. Daß die Grenzen für die zulässige Gesamtverlustleistung und den Drainstrom einzuhalten sind, versteht sich von selbst. Die im allgemeinen nicht angegebene Sourcestromgrenze kann gleich der für den Drainstrom gesetzt werden. Eine Ausnahme bildet der Schaltkreis *U 105 D*, bei dem die Sourceanschlüsse aller 6 FET an eine gemeinsame Klemme geführt sind und dieser Gesamtstrom auf 100 mA begrenzt ist (im Gegensatz zur Summe der Drainstromgrenzwerte von 150 mA). Im Analogschalterbetrieb werden diese Grenzen kaum erreicht.

Die Begrenzung der Source-Bulk-Spannung $-U_{SB}$ auf 0,3 V soll verhindern, daß der FET mit einem unzulässigen Flußstrom durch die Sperrschicht überlastet wird. Eine solche Überlastung könnte im Schalterbetrieb nach Bild 7.1b und Bild 7.2b eintreten, wenn an die Eingangsklemmen (1 und 0) ein Generator mit dem Innenwiderstand Null angeschlossen und die Flußspannung der Sperrschicht überschritten wird. Hier würden wegen des niedrigen Generatorwiderstands keine Verzerrungen auftreten, aber der FET bei höheren Spannungen thermisch gefährdet sein.

Zweifellos hat der Hersteller bei Festlegung der FET-Grenzwerte den Betrieb als Analogschalter nicht vorgesehen, denn bei den FET-Typen *SMY 51* und *U 105 D* ist die Source-Bulk-Spannung in Flußrichtung auf 0 V begrenzt, wogegen beim *SMY 50*, *SMY 52* und *SMY 60* 0,3 V Flußspannung gestattet sind. Da der Typ *SMY 50* in den 2- und 6fach-FET *SMY 51* und *U 105 D* enthalten ist, bestehen wohl keine Bedenken, diese FET ebenfalls mit 0,3 V in Flußrichtung zu betreiben, zumal nach Bild 7.3 mit einem Flußstrom zu rechnen ist, der weit unterhalb der Grenzen für den maximal zulässigen Drain- und Sourcestrom liegt und bei der Leistungsbilanz vollständig vernachlässigt werden

kann. Da 0,3 V als Dauerspannung zugelassen sind, dürfte eine Impulsbelastung, wie sie bei Wechselspannungssignalen auftritt, einen höheren Grenzwert für die Signalspitzenspannung rechtfertigen. Bei den FET-Typen *SM 103* und *SM 104* geht eine Begrenzung der Drain-Source-Spannung in Flußrichtung der Sperrschicht nicht aus den Unterlagen des Herstellers hervor. Hier gilt natürlich $-U_{DS\,max} = 0{,}3$ V.

8. Die Gatespannung des FET-Serienschalters

8.1. Absolute Grenzen

Wie Bild 8.1 zeigt, liegen beim FET-Serienschalter stets die Quellen der Gatevorspannung und des Signals in Reihe an Gate und Source. Bei der Gatevorspannung Null ist U_{GS} gleich dem Signal, und bei anliegender Gatevorspannung wird diese von der Signalspannung überlagert. Die Momentanwerte des Signals werden je nach Vorzeichen zur Gatevorspannung addiert oder von dieser subtrahiert. Diese Verhältnisse zeigt Bild 8.2.

Eine absolute Begrenzung ergibt sich aus der Durchbruchsspannung des Gate bzw. aus dem vom Hersteller genannten Grenzwert $U_{GS\,max}$. Die Vorspannung des Gate, zugleich Steuerspannung des FET-Schalters, darf nicht größer sein als die maximal zulässige Spannung U_{GS} abzüglich der größten vorkommenden Signalamplitude.

Je nachdem, welcher FET-Typ eingesetzt ist, bestimmt eine Mindest- oder Maximalspannung den Schalterzustand EIN oder AUS. Die Vorspannung muß um die maximal mögliche Signalamplitude größer (kleiner) sein als die (Maximal-) Mindestvorspannung, damit der durch die Steuerspannung gewollte Sperr- oder Durchlaßzustand nicht durch Subtraktion oder Addition der Signalspitzen zeitweilig aufgehoben wird. Der Schalter wäre dann übersteuert. Die Auswirkung dieser 2. absoluten Grenze zeigt Bild 8.3.

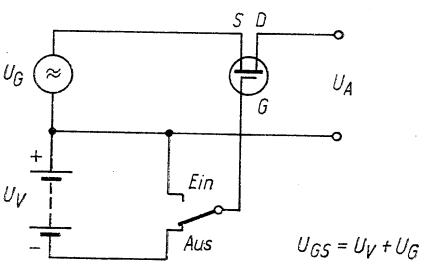


Bild 8.1
Gatestromkreis (Addition von Gatespannung und Signalspannung beim Verarmungs-FET)

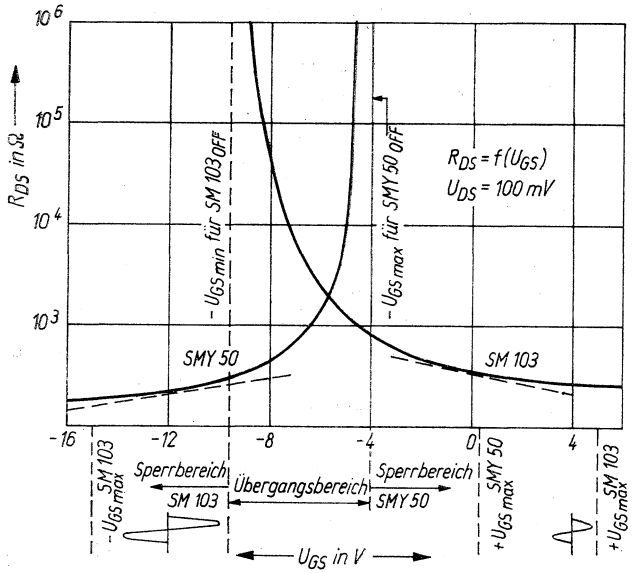


Bild 8.2 Kanalwiderstand als Funktion der Gatespannung (Kurven aus den Herstellerunterlagen, ergänzt durch Aussteuerungshinweise)

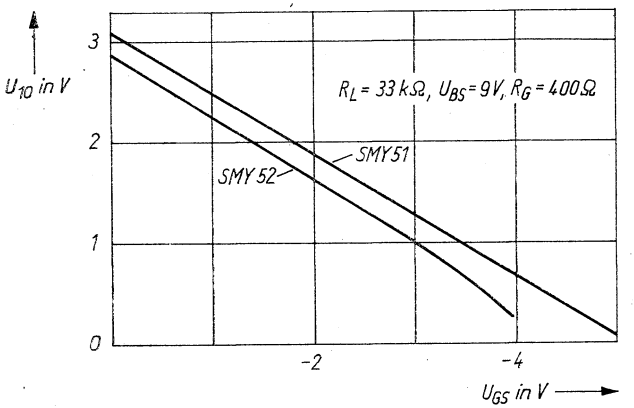


Bild 8.3 Maximal zulässige Gatevorspannung für Vollsperrung in Abhängigkeit von der Schaltereingangsspannung

Bei den hier vorzugsweise behandelten kleinen Signalamplituden bleibt folglich noch ein großer Werteumfang für die Wahl der Gatevorspannung und Berücksichtigung von Exemplarstreuungen der FET-Parameter zur Verfügung.

8.2. Die Modulation des Kanalwiderstands durch das Signal

Durch die Überlagerung von U_{GS} mit dem Signal wird der Durchlaßwiderstand $R_{DS\,ON}$ des p-Kanal-FET bei positivem Signal verkleinert und bei negativem vergrößert (beim n-Kanal-FET umgekehrt), deshalb sollte die Gatespannung für den Durchlaßzustand möglichst hoch sein. Den Grad der Widerstandsänderung entscheidet der Neigungswinkel des Kurvenabschnitts der R_{DS}/U_{GS}-Charakteristik in der Nähe des Gatevorspannungswerts (Bild 8.2 und Bild 12.3). Je größer die negative (p-Kanal) oder positive (n-Kanal) Vorspannung, um so kleiner der Winkel. Die Änderungen des Kanalwiderstands führen zu Verzerrungen des durchgelassenen Signals infolge unterschiedlichen Teilungsverhältnisses R_{DS}/R_L bei positiver und negativer Halbwelle, und zwar um so mehr, je kleiner R_L ist. Um abschätzen zu können, in welcher Größenordnung dieser Einfluß liegt, wurden die prozentualen Kanalwiderstandsänderungen als Folge der U_{GS}-Modulation errechnet und für beide FET-Arten in Tabelle 8.1. zusammengestellt. Der Kanalwiderstand ändert sich demnach um

Tabelle 8.1. Nichtlinearität des Kanalwiderstands der MOSFET aus der DDR-Produktion

FET-Typ	$U_{GS\,ON}$	$R_{DS\,ON}$	$\Delta R_{DS}/\Delta U_{GS}$ Ω/100 mV	%/100 mV
SM 103	0 V	350 Ω	5	1,5
	+ 4 V	260 Ω	1	0,4
SM 104	0 V	500 Ω	10	2
	+ 4 V	330 Ω	2	0,6
SMY 52	— 12 V	55 Ω	0,5	1
	— 20 V	35 Ω	0,15	0,5
SMY 50	— 12 V	200 Ω	1	0,5
SMY 51	— 20 V	160 Ω	0,3	0,2
U 105 D				

einige Prozent je Volt ΔU_{GS}. Das läßt sich selbst bei den hier im Vordergrund stehenden Signalamplituden bis zu etwa 0,3 V nur dann vernachlässigen, wenn $R_L \gg R_{DS\,ON}$ ist. Wird bis in die Krümmung der Kurve ausgesteuert, so werden die Halbwellen der betreffenden Polarität stärker verzerrt.

8.3. Die Schwellspannung

8.3.1. Die Schwellspannung U_T als Kenngröße des FET-Schalters

Entsprechend der Definition in Abschnitt 3. ist U_T die Gatespannung, bei der die (willkürlich gewählte) Schwelle zwischen Leitung und Sperrung des Kanals erreicht ist. Dies gilt, wenn man einen Strom $I_{DS} < 10\ \mu A$ als Sperrung und $I_{DS} > 10\ \mu A$ als Durchgang ansieht.
Wie aus den Kurven Bild 2.5 hervorgeht, bedarf es nur einer kleinen Abweichung der Gatespannung vom Wert U_T, um eine Vollsperrung zu erreichen ($I_{DS} \leqq 1$ nA), aber für den im Schalterbetrieb notwendigen vollständigen Durchlaß ist eine Gatespannung erforderlich, die beträchtlich von U_T abweicht. U_T liegt also nicht symmetrisch zwischen den Spannungen $U_{GS\,OFF}$ und $U_{GS\,ON}$, sondern am Beginn des Sperrbereichs. Zwischen U_T und der Gatespannung für den Beginn des annähernd linearen Durchlaßbereichs liegt die für den Analogschalterbetrieb verbotene Übergangszone, die jeweils nur kurzzeitig durchlaufen wird.

8.3.2. „High-" und „Low-Threshold"-FET

Die meisten Feldeffekttransistoren haben Schwellspannungen zwischen 3 und 8 V. Bei einem kleineren Teil des internationalen Angebots ist U_T 2 bis 3 V, in ganz seltenen Fällen auch < 2 V. Ein ebenso kleiner Anteil hat U_T-Werte von 8 bis 10 V, selten bis 12 V. Es ist die Frage zu beantworten, ob für den Einsatz als Analogschalter FET mit hoher oder niedriger Schwellspannung günstiger sind. Gleich, ob es sich um die streuenden Schwellspannungswerte eines bestimmten FET-Typs oder um FET mit typisch hohen oder niedrigen U_T-Werten handelt, ein niedriger U_T-Wert bringt beim n-Kanal-Verarmungs-FET bei gleichen

Bedingungen größere Verzerrungen, insbesondere wenn, wie beim Sperrschicht-FET allein möglich, nur mit Gatespannungen unterhalb 0,3 V gearbeitet werden kann (Bild 12.3.). Will man nur sehr kleine Signalspannungen schalten, hat die niedrige Schwellspannung den Vorteil, bereits mit $U_{GS} = -5$ V den Schalter zu sperren.

Der FET mit hoher Schwellspannung garantiert dagegen bei $U_{GS} = 0$ V einen nahezu linearen Aussteuerbereich, aber die erforderliche Gatesperrspannung kommt z. B. beim *SM 103* schon bedenklich nahe an den Maximalwert von $-U_{GS}$ heran, wodurch der Bereich der sperrbaren Spannung begrenzt werden kann. Beim p-Kanal-Anreicherungs-FET bestehen umgekehrte Verhältnisse, aber sie sind nicht so kritisch:

a – – $U_{GS\,ON\,max}$ ist viel größer als + $U_{GS\,ON\,max}$ bei den SM-Typen.

b – Bei Aussteuerung mit höheren Signalspannungen könnte ein niedriger U_T-Wert den Sperrbereich einengen. Größere Signale erfordern aber das Anlegen einer Substratvorspannung U_{BS}, wodurch sich zugleich U_T in nützlicher Weise erhöht (Bild 3.6).

In [7] wird für den U_{BS}-Einfluß auf U_T die folgende Faustformel angegeben:

$$U_T = U_{T0} + \frac{U_{BS}}{3}.$$

Es sei auch auf den Zusammenhang zwischen U_T und dem Drain-Kurzschlußstrom I_{DSS} hingewiesen: In der Regel haben FET mit hoher Schwellspannung auch einen großen Drainstrom bei $U_{GS} = 0$ und damit zwangsläufig einen niedrigeren Durchlaßwiderstand.

Grundsätzlich gilt:

Da das Substrat als zweites Gate betrachtet werden kann, muß die Wirkung einer Bulkvorspannung (+) durch eine größere Gatesteuerspannung (—) ausgeglichen werden, sofern der gleiche Kanalwiderstand $R_{DS\,ON}$ erreicht werden soll wie bei $U_{BS} = 0$.

Bei großen Signalspannungen ist es dann möglich, daß die ursprünglich empfohlene Steuerspannung für den FET-Analogschalter von — 10 bis — 15 V nicht mehr ausreicht, wie dies aus Bild 11.6, Bild 11.7 und Bild 11.10 zu ersehen ist.

9. Die meßtechnische Bestimmung der Schaltereigenschaften

9.1. Meß- und Einflußgrößen

Entsprechend der in Abschnitt 3.1. genannten Aufgabe des Analogschalters sind die Durchlaßdämpfung, die Sperrdämpfung und der Klirrfaktor des durchgeschalteten Signals als Meßgrößen zu bestimmen.

Folgende Parameter muß man dabei als Einflußgrößen berücksichtigen:

a – den Innenwiderstand der Signalquelle;
b – den Abschluß- bzw. Lastwiderstand des Schalters;
c – die Steuerspannung des Schalters (Gatevorspannung);
d – die Frequenz des Signals;
e – die Substrat- (Bulk-) Vorspannung U_{BS}, die bei größerer Signalspannung erforderlich ist.

Für die aufgezeichneten Meßresultate gilt – wenn nicht anders angegeben – folgendes:

a – Der Bezugspunkt aller Spannungen ist die Null-Leitung (0).
b – Die Frequenz des Signals ist 1 kHz.
c – Die Messungen wurden an Transistoren vorgenommen, von denen nicht bekannt ist, welche Position sie im Streubereich eines längeren Fertigungszeitraums einnehmen.

Ziel der Messungen war in erster Linie, die Grenzen der Parameter festzulegen, innerhalb der die FET-Schalter als nahezu ideal angesehen werden können, also mit einer Durchlaßdämpfung nahe Null, mit einer Sperrdämpfung, die als unendlich gelten kann, und ohne nennenswerte Verzerrungen des Signals.

Der Anwender braucht bei Einhaltung dieser Grenze keine Berechnungen vorzunehmen, d. h., die FET-Schalter können wie mechanische Kontakte oder Relais in die Schaltung eingefügt werden.

In zweiter Linie soll der Anwender abschätzen können, wie sich die Überschreitung der Grenzbedingungen auf die Übertragungseigenschaften auswirkt. Dabei ist zu beachten, daß die Überschreitung der Grenze einer Einflußgröße zugleich mehrere Kenngrößen des Schalters verändern kann. Die Beurteilung der Schal-

tereigenschaften wird schwieriger, wenn die Grenzen mehrerer Parameter überschritten werden. Weiterhin lassen sich bestimmte Schaltereigenschaften aufrechterhalten, wenn man zwar einen Grenzwert überschreitet, aber die Auswirkung durch Unterschreitung eines anderen Werts kompensiert.

9.2. Das Meßprogramm

Von den genannten Meß- und Einflußgrößen wurden folgende Funktionen untersucht:

a – Die Dämpfung des Schalters im Durchlaß- und Sperrzustand als Funktion
  – der Steuerspannung des Schalters,
  – der Frequenz des Signals und
  – der Signalamplitude.

b – Die Verzerrungen des durchlaufenden Signals. Es wurde bestimmt der Klirrfaktor als Funktion der Generatorspannung mit den Parametern: Generatorinnenwiderstand, Lastwiderstand, Substratvorspannung sowie Steuerspannung; als Funktion der Steuerspannung mit dem Lastwiderstand als Parameter, aber auch als Funktion des Bezugspunkts der Gatevorspannung.

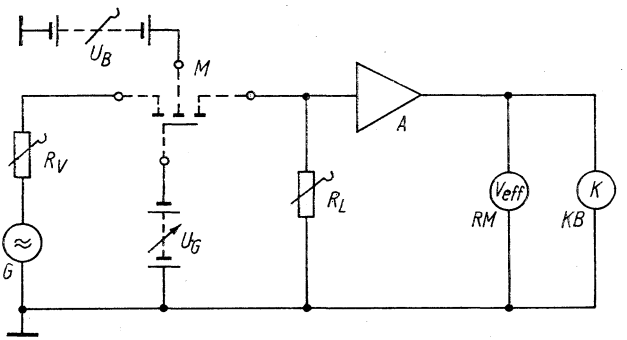


Bild 9.1 Prinzip-Meßschaltung zur dynamischen Prüfung von FET-Analogschaltern (M = Meßobjekt, RM = Röhrenvoltmeter, KB = Klirrfaktormeßbrücke, A = Meßverstärker)

c – Das Sperrverhalten in Abhängigkeit von der Steuerspannung und vom Grad der Übersteuerung des Schalters.

Die verwendete Meßanordnung zeigt Bild 9.1.

10. Resultate durchgeführter Dämpfungsmessungen

10.1. Der Signaldurchlaß als Funktion der Gatespannung

Bild 10.1 und Bild 10.2 zeigen die gemessenen Werte der Ausgangsspannung am Serienschalter für die FET *SMY 52* und *SM 103* in Abhängigkeit von der Gatevorspannung und der

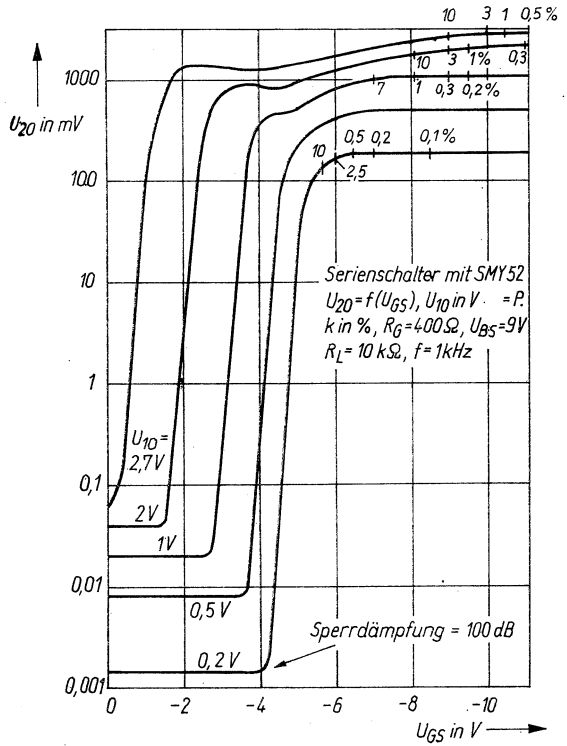


Bild 10.1 Ausgangsspannung eines FET-Serienschalters in Abhängigkeit von der Steuerspannung

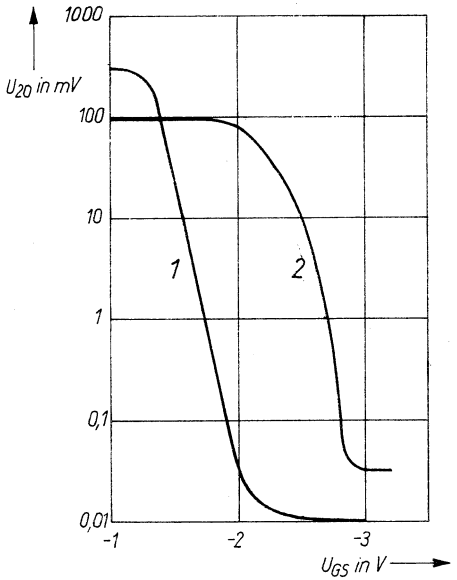


Bild 10.2 Ausgangsspannung eines FET-Serienschalters in Abhängigkeit von der Steuerspannung; Kurve 1: FET-T-Glied mit $U10 = 0{,}3$ V; Kurve 2: Serienschalter mit *SM 103*, $U10 = 0{,}1$ V

Schaltereingangsspannung. Beim *SM 103* wurde nur eine Kurve eingezeichnet, weil wegen der Durchlaßwirkung der Sperrschicht (siehe auch Abschnitt 9.1.2.) nur kleine Signalamplituden in Frage kommen. Zur besseren Übersicht sind in Bild 10.1 die erst im nächsten Abschnitt behandelten Klirrfaktoren des auf Durchlaß gesteuerten Schalters notiert.

Bild 10.1 und Bild 10.2 verdeutlichen eine vorteilhafte Eigenschaft der FET-Schalter: Die Kurven zeigen im Durchlaß- und im Sperrgebiet ein ausgeprägtes Sättigungsverhalten, wodurch eine Signalmodulation durch Störspannungen auf der Steuerleitung weitgehend unterbunden wird.

10.2. Der Signaldurchlaß des gesperrten FET-Schalters als Funktion der Frequenz

Im gesperrten Zustand ist der Kanalwiderstand $\geqq 100$ MΩ. Er kann bei der Übertragung von Wechselspannungen meistens vernachlässigt werden. Somit bleibt allein die Reihenschaltung der Kapazität $C12$ mit dem Lastwiderstand, also ein frequenzabhängiger Spannungsteiler in Form eines Hochpasses übrig, wobei vorausgesetzt wird, daß die Parallelkapazität zur Last vernachlässigt werden kann.

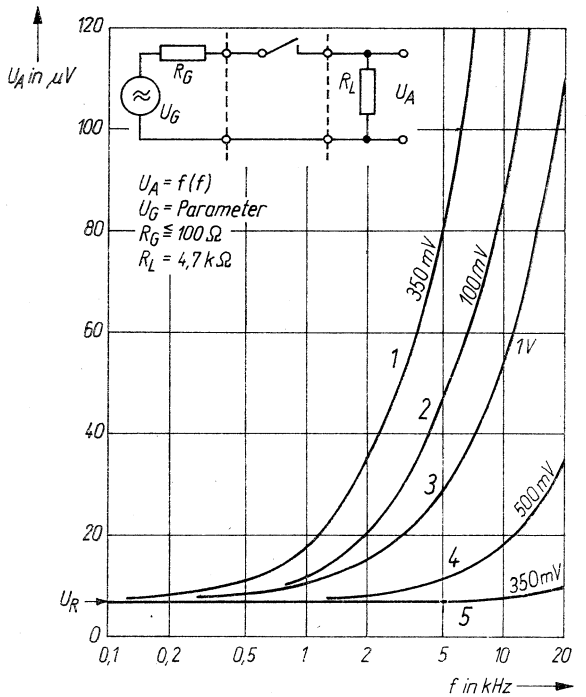


Bild 10.3 Restspannung am Ausgang des gesperrten FET-Schalters als Funktion der Frequenz; Kurve 1: *Febana*-Stufenschalter FP 1 (Schleifer gegen benachbarten offenen Kontakt), Kurve 2: Serienschalter nach Bild 6.1a, Kurven 3 bis 5: T-Glied nach Bild 10.2 (Kurve 1), U_R = Rauschspannung

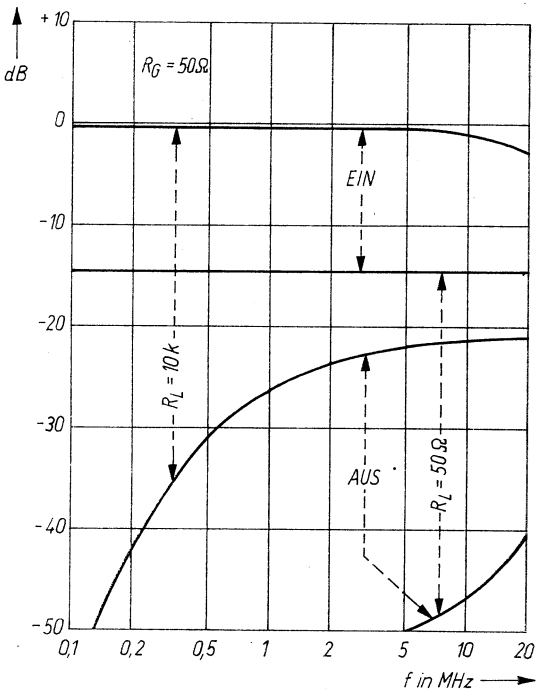


Bild 10.4 Dämpfung eines Serienschalters mit dem FET *3 N 126* bei höheren Frequenzen

$C12$ setzt sich zusammen aus der Kapazität des gesperrten Längs-FET und der Kapazität der Signalzu- und Signalabführung, die durch Abschirmung auf ein Minimum verringert werden kann. Es ist mit Werten von 0,1 bis 10 pF zu rechnen. Der Lastwiderstand wird beim Serienschalter mit Rücksicht auf die Verzerrungen nicht kleiner als 1 kΩ, vorzugsweise $\geqq$ 10 kΩ und kaum größer als 100 kΩ sein. Beim Serien/Parallel-Schalter dagegen wird er durch den 2. FET im AUS-Zustand auf den Widerstand $R_{DS\,ON}$ von 50 bis 500 Ω verringert, womit sich die rapide Zunahme der Sperrdämpfung dieser Schalterart erklärt. Von praktischem Interesse ist die am Lastwiderstand auftretende Signalrestspannung, sobald sich ihr Wert über den Rauschpegel des Verstärkers

erhebt. Diese Restspannung steigt mit der Frequenz um 6 dB je Oktave an. Zum Vergleich der Schaltereigenschaften im Zustand AUS wurde in Bild 10.3 auch die Sperrkurve des einfachen Serienschalters und die eines mechanischen Schalterkontakts aufgenommen. Über die Verminderung des Einflusses von $C12$ durch eine Parallelkapazität zu R_L kann man sich in [24] informieren. Aus dem vorangegangenen ergeben sich die Anwendungsgrenzen der FET-Schalter im HF-Gebiet, welche Bild 10.4 erkennen läßt.

11. Der Klirrfaktor des durchgeschalteten Signals

Die Messungen des Klirrfaktors bestätigen die in Abschnitt 7. und Abschnitt 8. geäußerten Erwartungen, die noch einmal zusammengefaßt und durch die Meßresultate ergänzt werden.

11.1. Die Verzerrungen durch den Nebenschluß einer Sperrschicht

Alle Schaltungen, bei denen parallel zur Quelle eine Sperrschicht liegt, führen zu Verzerrungen, sobald sich die Signalamplitude der Flußspannung nähert. Die Flußspannung ist aber in diesem

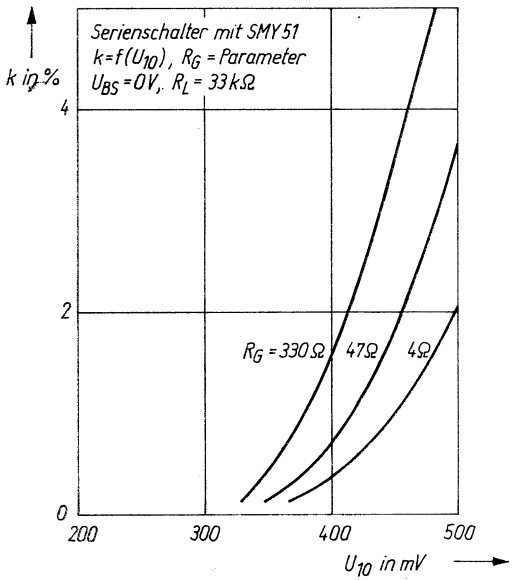


Bild 11.1 Serienschalter mit dem *SMY 51*, Klirrfaktor in Abhängigkeit von der Generatorspannung und vom Quellwiderstand

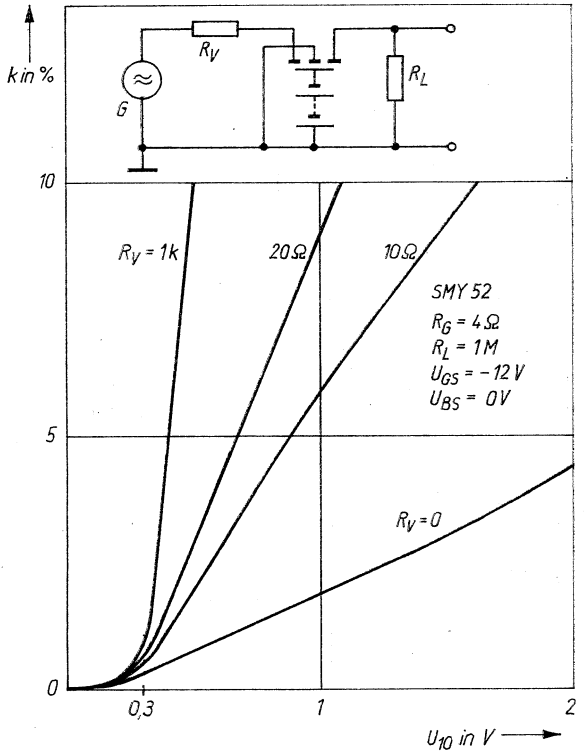


Bild 11.2 Serienschalter mit dem *SMY 52*, Klirrfaktor in Abhängigkeit von der Generatorspannung und vom Quellwiderstand

Sinne kein feststehender Wert; sie bezieht sich stets auf eine vorgegebene Flußstromstärke. Die Vorgabe wiederum wird von der minimalen Stromstärke bestimmt, die als Störgröße Bedeutung gewinnt. Diese Grenze ist erreicht, sobald der Flußstrom am Generatorinnenwiderstand einen nennenswerten Spannungsabfall hervorruft und damit zu einer Abkappung der in Flußrichtung gepolten Signalhalbwellen führt. Bei konstanter Signalamplitude sind also in der Nähe der Flußspannung die Verzerrungen um so kleiner, je niedriger R_G ist. Bild 11.1 und Bild 11.2 zeigen dies an der Funktion $k = f(U_G)$.

11.2. Die Verzerrungen durch die Spannungsabhängigkeit des Kanalwiderstands

Neben der Begrenzerwirkung der Sperrschicht wurde bereits als 2. Ursache für Signalverzerrungen die Nichtlinearität des Kanalwiderstands festgestellt, d. h. die verbleibende Spannungsabhängigkeit des Kanalwiderstands im ohmschen Bereich der FET-Charakteristik und darüber hinaus bei Annäherung an die Abschnürspannung (Bild 7.5).
Die Verzerrungen nehmen in dem Maße zu, wie der Spannungsabfall am Kanalwiderstand steigt, sie werden also größer, je kleiner der Lastwiderstand ist. Die Forderung $R_L \gg R_{DS\,ON}$ soll also nicht nur erfüllt werden, um eine geringe Durchlaßdämpfung zu erzielen, sondern auch um einen möglichst kleinen Klirrfaktor zu erhalten.

11.2.1. Der Einfluß der Gatevorspannung

Wie bereits in Abschnitt 8.2. ausgeführt, sind die Verzerrungen durch die Nichtlinearität des Kanalwiderstands um so geringer,

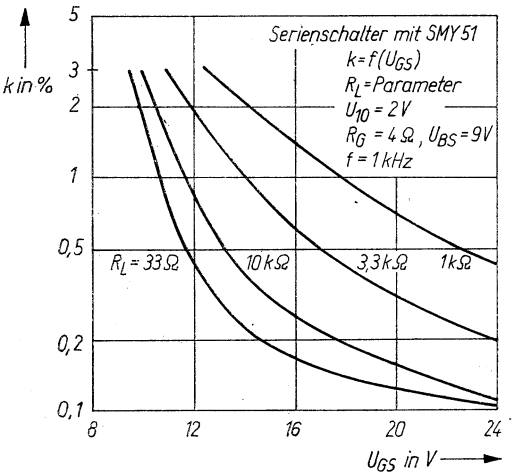


Bild 11.3 Serienschalter mit dem *SMY 51*, Klirrfaktor in Abhängigkeit von Steuerspannung und Lastwiderstand (Für $R_L = 33\Omega$ muß es richtig heißen $R_L = 33k\Omega$)

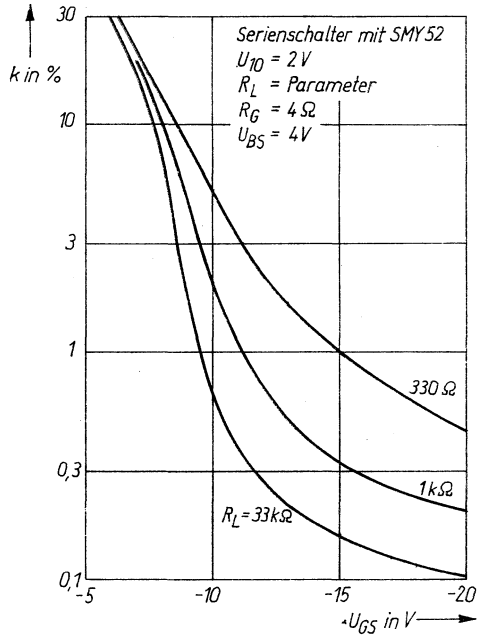


Bild 11.4 Serienschalter mit dem *SMY 52*, Klirrfaktor in Abhängigkeit von Steuerspannung und Lastwiderstand

je weiter der FET aufgesteuert wird, je größer also beim p-Kanal-Anreicherungstyp die negative Gatevorspannung und beim n-Kanal-Verarmungstyp die positive Gatevorspannung sind. Dadurch werden zum einen der Kanalwiderstand und damit die an ihm abfallende Signalspannung und zum anderen die Steigung der Kurve in Bild 8.2 und Bild 12.3 geringer. Diese Verhältnisse sind in Bild 11.3 bis Bild 11.5 mit R_L als Parameter dargestellt. Daraus ist auch zu entnehmen, daß durch knappe Gatevorspannung entstandene Verzerrungen durch eine Vergrößerung von R_L kompensiert werden können. Den Einfluß der Gatevorspannung auf den Klirrfaktor zeigt auch Bild 11.6.

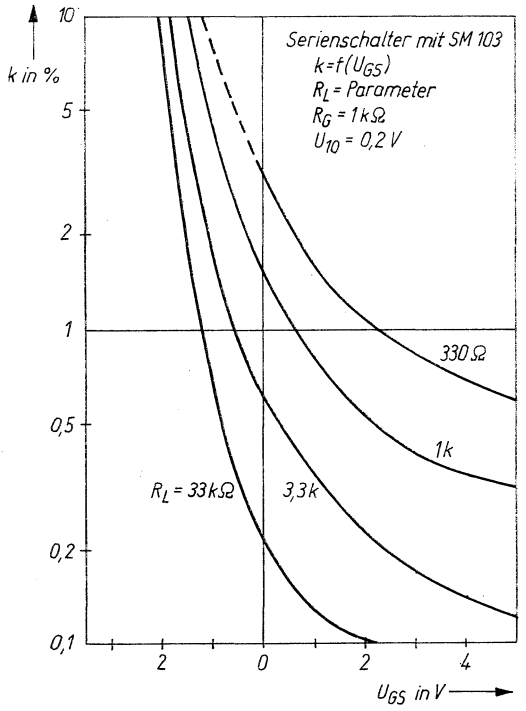


Bild 11.5 Serienschalter mit dem *SM 103*, Klirrfaktor in Abhängigkeit von Steuerspannung und Lastwiderstand

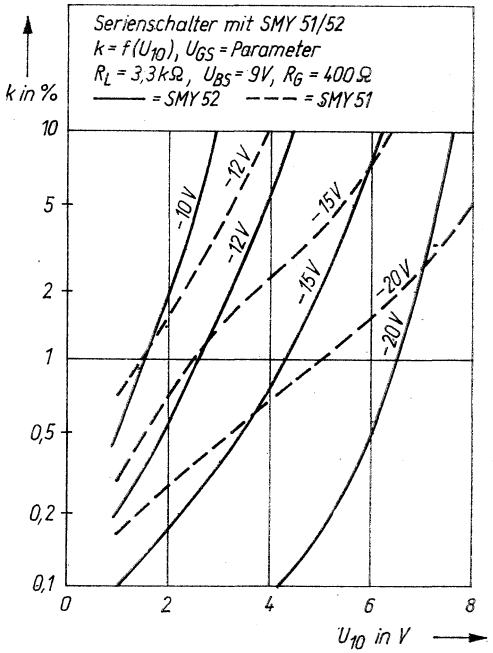


Bild 11.6 Serienschalter mit dem *SMY 51* oder dem *SMY 52*, Klirrfaktor in Abhängigkeit von der Generatorspannung

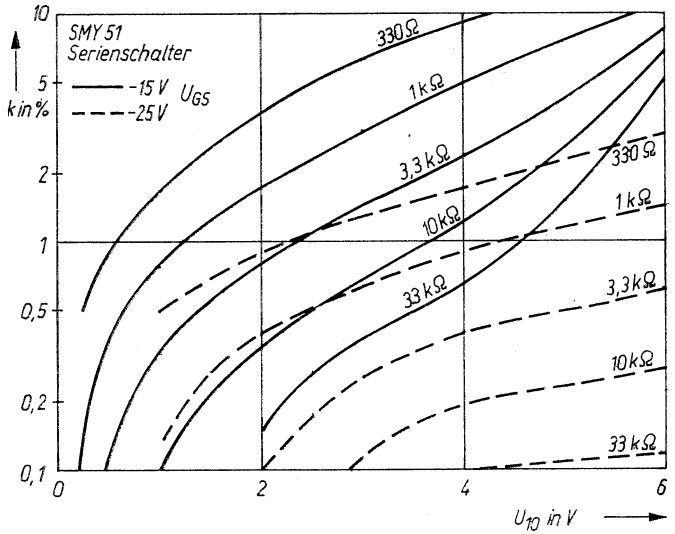


Bild 11.7 Serienschalter mit dem *SMY 51*, Klirrfaktor in Abhängigkeit von Generatorspannung und Lastwiderstand

11.2.2. Der Einfluß des Lastwiderstands

Den Einfluß des Lastwiderstands auf den Grad der Verzerrungen zeigten schon die Bilder des Abschnitts 11.2.1. In Bild 11.3 bis Bild 11.5 war aber die Signalspannung konstant. Die Abhängigkeit des Klirrfaktors von der Schaltereingangsspannung mit R_L als Parameter zeigen Bild 11.7 und Bild 11.8. In Bild 11.7 ist noch einmal durch eine 2. Kurvenschar mit anderer Gatevorspannung der starke Einfluß dieser auf den Grad der Verzerrungen dargestellt.

11.3. Die Verzerrungen bei größerer Signalamplitude mit Vorspannung des Substrats

Die Kurven in Bild 11.3 und Bild 11.4 sowie Bild 11.6 bis Bild 11.10 wurden bereits mit einer positiven Vorspannung des Substrats aufgenommen, wodurch entsprechend größere Signalamplituden

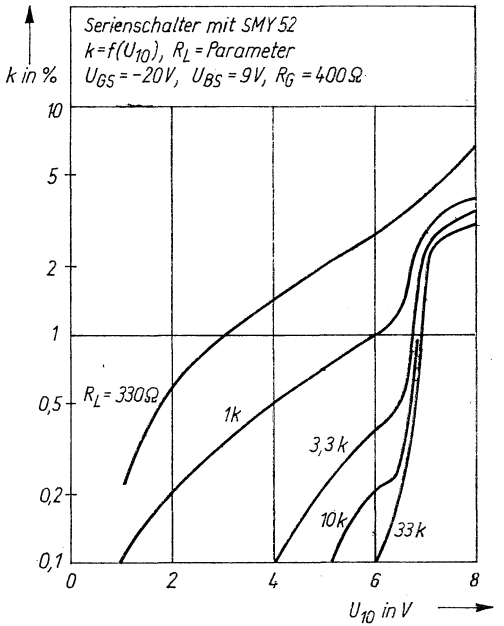


Bild 11.8 Serienschalter mit dem *SMY 52*, Klirrfaktor in Abhängigkeit von Generatorspannung und Lastwiderstand

verarbeitet werden konnten. Die Zunahme der Verzerrungen bei Annäherung der Signalamplitude an den Wert der Substratvorspannung erkennt man schon in Bild 11.8. (Eine Signalwechselspannung von 6 V entspricht einer Amplitude der Halbwellen von 8,5 V.) Bild 11.9 und Bild 11.10 zeigen die Kurven mit U_{BS} als Parameter. (Bild 11.10 in Verbindung mit dem Einfluß der Gatevorspannung bei $U_{BS} = 9$ V.)

Der FET kann wie erwähnt auch vom Substrat aus gesteuert werden. Die Wirkungsrichtung der Substratspannung ist die gleiche wie bei der Gatespannung. Da die Substratvorspannung beim p-Kanal-FET stets nur positiv sein kann, wirkt sie der Gatespannung entgegen, sie verhindert bei bestimmter Gatespannung das vollständige Öffnen des Kanals. Je höher also U_{BS}, um so größer muß U_{GS} werden, um einen bestimmten Mindestleitwert des Kanals aufrechtzuerhalten.

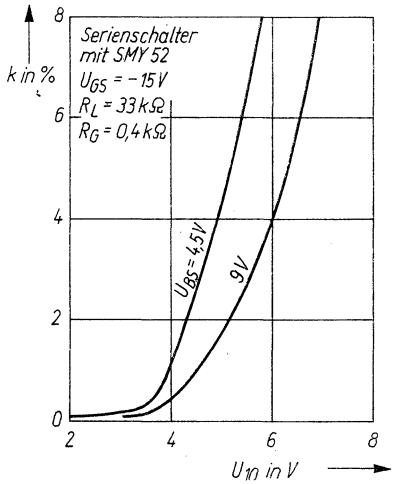


Bild 11.9
Aussteuerbarkeit des FET-Serienschalters mit dem *SMY 52* in Abhängigkeit von der Substratvorspannung

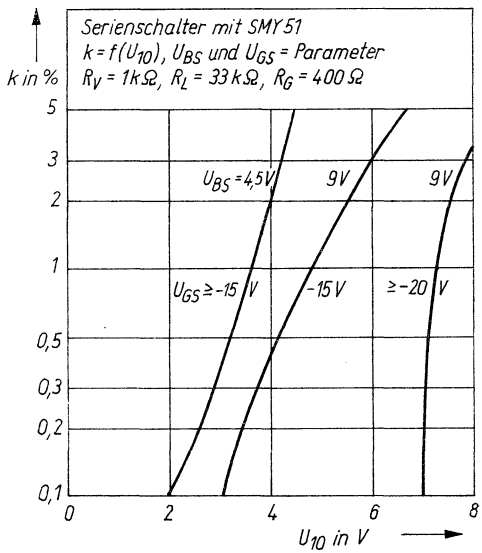


Bild 11.10 **Aussteuerbarkeit des FET-Serienschalters** mit dem *SMY 51* **mit der Gatespannung und der Substratvorspannung als Parameter**

Eine Erhöhung von U_{BS} beim einfachen Serienschalter über 4 bis 5 V ist aber zwecklos, weil die damit erreichte Erweiterung des Aussteuerbereichs infolge der Begrenzung der vom FET sperrbaren Spannung auf 2 bis 3 V (siehe auch Abschnitt 7.4., Bild 7.7) gar nicht genutzt werden kann.

11.4. Der Einfluß des Gatebezugspunkts

In Abschnitt 8.2. wurde ausführlich dargelegt, wie es beim FET-Serienschalter durch die Verkopplung von Gatevorspannung und Signal zu Verzerrungen kommt. Verlegt man den Gatebezugspunkt von der Null-Leitung weg auf eine der beiden anderen FET-Elektroden, so entfällt die Verkopplung, und die Verzer-

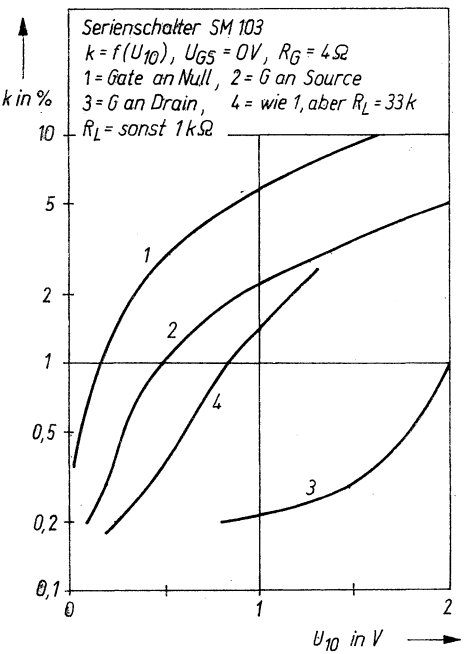


Bild 11.11 Serienschalter mit dem *SM 103*, Klirrfaktor in Abhängigkeit vom Gatespannungs-Bezugspunkt

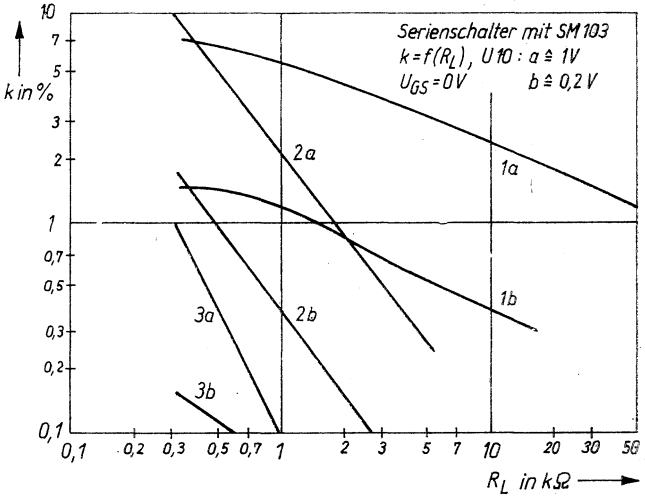


Bild 11.12 Serienschalter mit dem *SM 103*, Klirrfaktor in Abhängigkeit vom Lastwiderstand und vom Gatespannungsbezugspunkt nach Bild 11.11

rungen werden geringer, wie dies Bild 11.11 zeigt. Die Verbesserung ist beim *SM 103* am größten, wenn Drain als Gatebezugspunkt gewählt wird (Kurve 3). Die Verzerrungen sind dann so gering, daß R_L keinen Einfluß mehr hat, zumal sich wegen der störenden Sperrschichtwirkung die Schalter mit den n-Kanal-FET ohnehin nur bis etwa 0,3 V benutzen lassen. Bild 11.12 zeigt die Verhältnisse noch einmal mit k als Funktion von R_L.

Ein n-Kanal-Verarmungs-FET mit herausgeführtem Substratanschluß würde die Anwendungsmöglichkeiten dieses FET-Typs als Analogschalter durch Vergrößerung des Aussteuerbereichs mit Hilfe einer Substratvorspannung bedeutend erweitern. Gerade der n-Kanal-FET bietet schaltungstechnisch sehr günstige Voraussetzungen (siehe Abschnitt 14.2.), um die Verkopplung von Gatevorspannung und Signal auszuschließen und damit auch bei großer Signalamplitude und kleinem R_L geringe Verzerrungen zu erhalten.

12. Die Kennlinienstreuungen der Feldeffekttransistoren

Die bisherigen Ausführungen bezogen sich auf die in Bild 2.5 gezeigten Kennlinien des Herstellers, $R_{DS} = f(U_{GS})$. Leider wurde in den Herstellerunterlagen nicht der Streubereich eingezeichnet. Die Exemplarstreuungen können daher nur indirekt über andere Kennwerte ermittelt werden. Die Herstellerangaben über Exemplarstreuungen betreffen den Drainstrom I_D und die Schwellspannung U_T. Das Beispiel des *SM 103* verdeutlicht, wie man aus diesen Werten Rückschlüsse auf den Streubereich der Kurven für $R_{DS} = f(U_{GS})$ ziehen kann. Bild 12.1 zeigt die Funktion $I_D = f(U_{DS})$ für $U_{GS} = 0$ V aus den Herstellerunterlagen. Diese Kurve enthält den typischen Wert für I_D (7,5 mA). Trägt man dazu die beiden I_D-Grenzwerte (3 und 12 mA) ein, läßt sich der vermutliche Kurvenverlauf in Anlehnung an die Kurven für $U_{GS} = +3$ V und -3 V abschätzen, so wie dies in Bild 12.1 mit unterbrochenen Linien eingezeichnet ist. Aus den Kurvenneigungen im Triodenbereich der Charakteristik lassen sich die Grenzwerte für $R_{DS\ ON}$ bei $U_{GS} = 0$ V bestimmen. Den 2. Anhaltspunkt gibt die Schwellspannung U_T. U_T gilt für $I_D = 10\ \mu A$ entsprechend einem $R_{DS\ OFF}$ von 0,8 MΩ bei $U_{DS} = 8$ V. Im Triodenbereich ergeben sich daraus etwa 200 kΩ. Mit diesen Werten läßt sich die vom Hersteller vorgegebene Charakteristik $R_{DS} = f(U_{GS})$ ergänzen, wie dies Bild 12.2 und Bild 12.3 zeigen. Bild 12.4 zeigt zum Vergleich diese Kurve mit der des *SMY 50*. Welche Konsequenzen sind aus dem ermittelten Streubereich für SM-Typen zu ziehen?

Sperrung

a – Um den FET sicher und mit einer Reserve für die Aussteuerung zu sperren, ist eine Erhöhung des Steuerpegels auf -14 V nötig, oder

b – die FET mit einer Schwellspannung von > 10 V sind als ungeeignet auszusortieren. Dies erscheint für den vom Hersteller genannten typischen Wert für U_T von 7,5 V und unter der angenommenen Voraussetzung einer *Gauß*-Verteilung der anfallenden Werte akzeptabel.

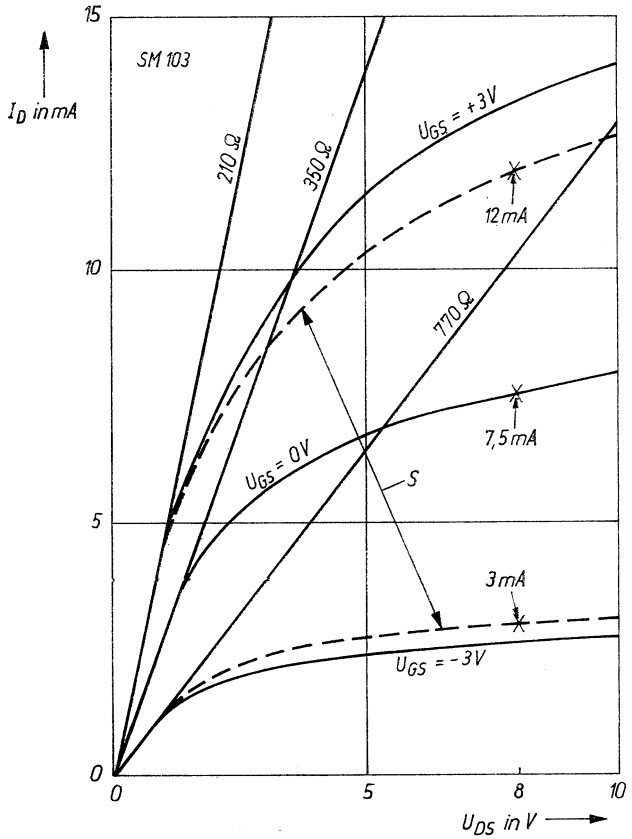


Bild 12.1 I_D/U_{DS}-Kurve nach Herstellerangaben mit Ergänzungen (S = Streubereich)

Durchlaß

a – Um alle anfallenden Transistoren verwenden zu können, muß die maximale Durchlaßdämpfung auf den aus dem Streubereich entnommenen Wert $R_{DS\,ON\,max}$ bezogen werden, oder

b – die Exemplare, die einen bestimmten Grenzwert, z. B. $1{,}5 \cdot R_{DS\,ON\,tp.}$ überschreiten, sind ungeeignet.

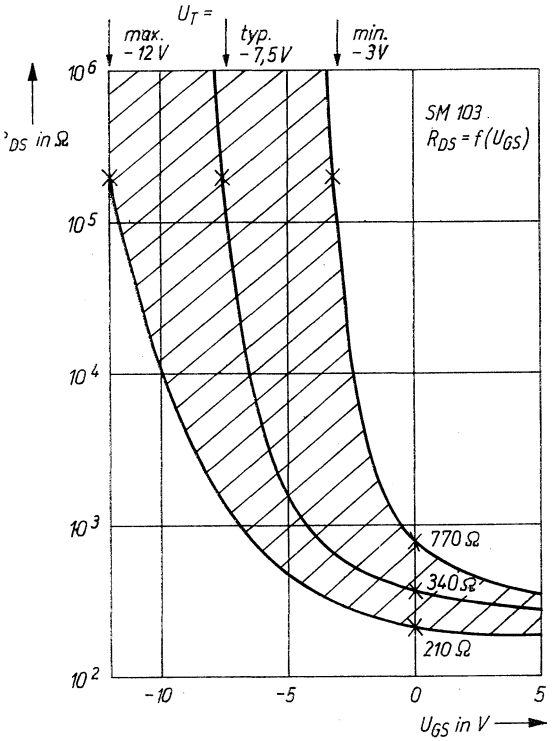


Bild 12.2 R_{DS}/U_{GS}-Kurve des Herstellers, ergänzt durch den aus Bild 12.1 abgeleiteten Streubereich

Eine Möglichkeit der allerdings nur geringfügigen Senkung der $R_{DS\,ON}$-Werte der n-Kanal-Verarmungstypen besteht darin, den zunächst vorgeschlagenen U_{GS}-Pegel von 0 V in den positiven Wertebereich zu legen (Grenzwert + 5 V).

Die positive Steuerspannung erfordert aber bei gemischter Verwendung beider FET-Arten schaltungstechnische Maßnahmen: Bei hohem R_i der U_G-Quelle oder einem *RC*-Glied in der Steuerleitung begrenzt die Gateschutzdiode des p-Kanal-Anreicherungs-FET die positive Spannung auf den Durchlaßwert von 0,3 V. Bei niedrigem R_i der U_G-Quelle würde die Gateschutzdiode durch

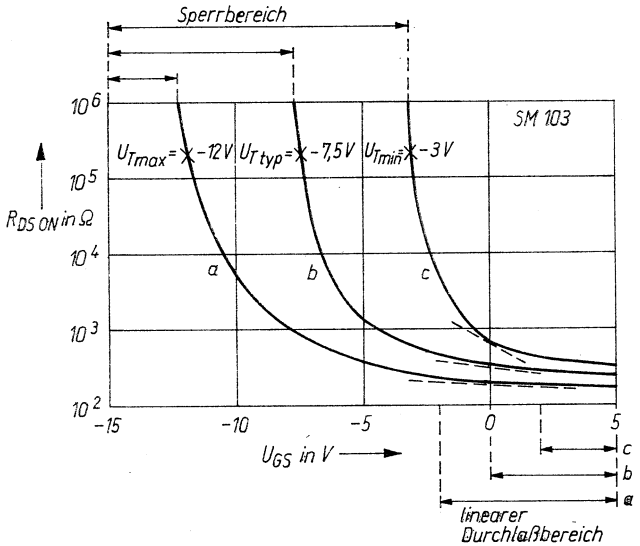


Bild 12.3 Einfluß der Schwellspannung auf den linearen Durchlaßbereich

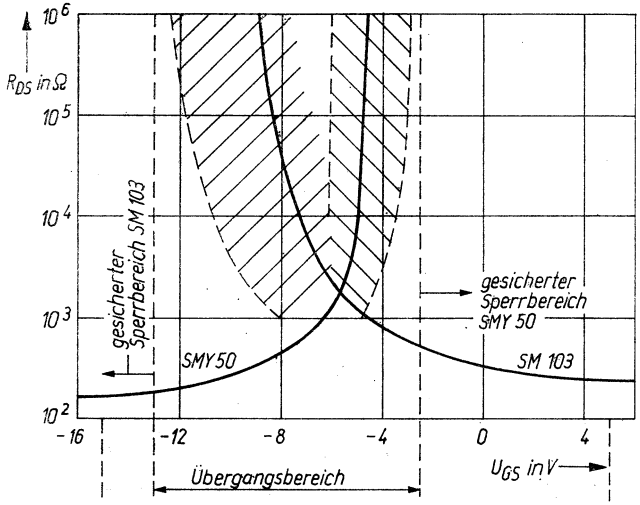


Bild 12.4 Kanalwiderstand als Funktion der Gatespannung, wie in Bild 8.2 ergänzt durch die Streubereiche

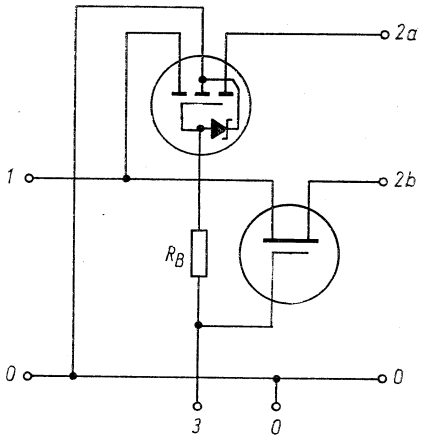


Bild 12.5 FET-Umschalter nach Bild 2.2c. Ansteuerung mit negativer und positiver Gatespannung

Überschreitung des maximal zulässigen Flußstroms zerstört werden. Bei positiver Steuerspannung muß demzufolge in die Zuleitung zum Gate des p-Kanal-Anreicherungs-FET ein Strombegrenzungswiderstand für die Gateschutzdiode (etwa 100 kΩ) eingefügt werden, wie dies Bild 12.5 als Ergänzung zu Bild 2.2c zeigt.

Zu den Streuungen der SMY-Typen und des *U* 105 *D* ist folgendes zu sagen:

- Die Sperrung bei $U_{GS} = 0$ V ist sicher gewährleistet, weil der garantierte Grenzwert $U_{T\,min} - 3$ V beträgt.
- Im Durchlaßzustand muß mit $R_{DS\,ON}$-Streuungen bis zum 2,5fachen des typischen Werts bei den Typen *SMY 50* und *SMY 51* sowie *U 105 D* gerechnet werden, beim *SMY 52* dagegen nur mit einer Streuung bis zum 1,25fachen.
  Diese Streuungen sind weniger kritisch, weil die typischen $R_{DS\,ON}$-Werte besonders beim *SMY 52* niedriger liegen als bei den SM-Typen (Bild 12.6).

Ein Aussortieren von ungeeigneten Exemplaren dürfte sich erübrigen. Sind nur sehr geringe Streuungen der Durchlaßdämpfung eines Schalters zulässig, ist es notwendig, den Quell- und Lastwiderstand nach den Berechnungen in Abschnitt 13. so an den

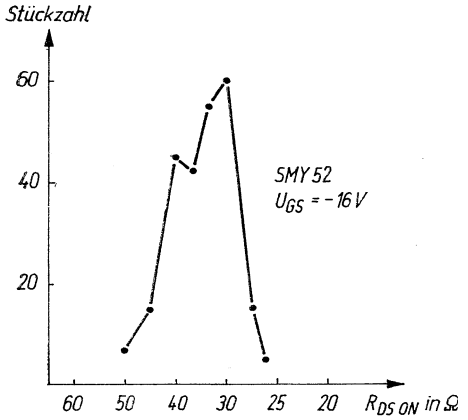


Bild 12.6 Exemplar-Streuung des Kanalwiderstands

FET-Schalter anzupassen, daß die gegebenen Streuungen von $R_{DS\,ON}$ vernachlässigt werden können. Aus den vorangegangenen Ausführungen ersieht man, daß der Einsatz des Feldeffekttransistors als Analogschalter für kleine Signale unproblematisch ist. Beim Arbeiten mit dem durch eine Substratvorspannung erweiterten Aussteuerbereich gewinnt die Frage der Transistorstreuungen um so mehr Bedeutung, je größer die zu schaltenden Wechselspannungen sind. Bei Bedarf könnten die Streuungen von U_T durch Abgleich von U_{BS} ausgeglichen werden (Bild 3.6).

13. Die Berechnung von Durchlaß- und Sperrdämpfung

Alle genannten Schalterformen können auf den unbelasteten Spannungsteiler nach Bild 13.1 zurückgeführt und auch wie dieser berechnet werden:

$$\frac{U2}{U1} = \frac{R2}{R2 + R1}. \tag{1}$$

Wenn nicht anders angegeben, gelten die Formeln zugleich für den Sperr- und Durchlaßzustand, nur mit unterschiedlich eingesetztem Kanalwiderstand ($R_{DS\ ON}$ oder $R_{DS\ OFF}$):
Der Serienschalter (Bild 13.2)

$$\frac{U2}{U1} = \frac{R_L}{R_L + R_{DS} + R_G}. \tag{2}$$

Der Parallelschalter (Bild 13.3)

$$\frac{U2}{U1} = \frac{\dfrac{R_{DS} \cdot R_L}{R_{DS} + R_L}}{R_G + \dfrac{R_{DS} \cdot R_L}{R_{DS} + R_L}}. \tag{3}$$

Der Serien/Parallel-Schalter (Bild 13.4)

$$\frac{U2}{U1} = \frac{\dfrac{R_{DS\ OFF} \cdot R_L}{R_{DS\ OFF} + R_L}}{R_G + R_{DS\ ON} + \dfrac{R_{DS\ OFF} \cdot R_L}{R_{DS\ OFF} + R_L}}. \tag{4}$$

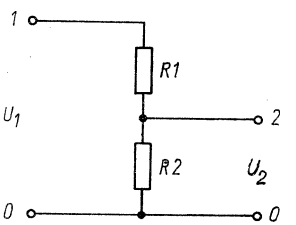


Bild 13.1
Einfacher Spannungsteiler, auf den sich alle Schalterformen zurückführen lassen

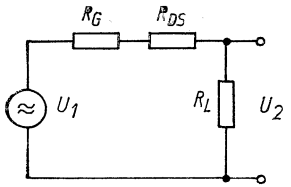


Bild 13.2
Ersatzschaltung des FET-Serienschalters

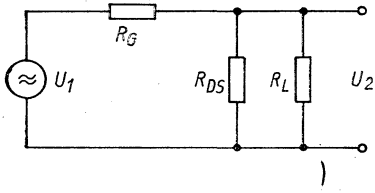


Bild 13.3
Ersatzschaltung des FET-Parallelschalters

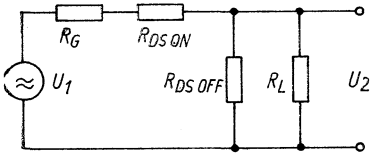


Bild 13.4
Ersatzschaltung des FET-Serien/Parallelschalters (Schaltzustand „EIN")

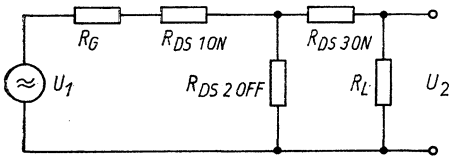


Bild 13.5 Ersatzschaltung des FET-T-Glieds (Schaltzustand „EIN")

Diese Formel gilt für den Schaltzustand „EIN". Für den anderen Zustand sind die Indizes „ON" und „OFF" zu tauschen.

Der Doppelserien/Parallel-Schalter (T-Glied · Bild 13.5)
Derartige Netzwerke werden üblicherweise mit den Vierpolgleichungen berechnet. Durch einige Vernachlässigungen kommt man aber beim T-Glied mit der einfachen Spannungsteilerformel aus.

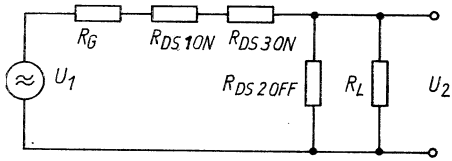


Bild 13.6 Ersatzschaltung des FET-T-Glieds, Variante zur einfacheren Berechnung im Schaltzustand „EIN"

Schaltzustand „EIN":
Da die Bedingung $R_{DS\,OFF} \gg R_{DS\,ON}$ stets erfüllt ist, wird $R_{DS\,OFF}$ als direkt parallel zu R_L liegend betrachtet. Die Schaltung erhält dann die Form in Bild 13.6, und man wendet die Formel (4) an, nur mit dem Unterschied, daß $2 \cdot R_{DS\,ON}$ eingesetzt wird .

Schaltzustand „AUS" (Bild 13.7):
Es liegen 2 hintereinandergeschaltete Spannungsteiler vor. Da $R_{DS\,OFF} \gg R_{DS\,ON}$, gilt auch der linke Spannungsteiler als unbelastet. Der Generatorinnenwiderstand für den rechten Spannungsteiler $R_{DS\,ON}$ ist gegen $R_{DS\,OFF}$ sehr groß und wird vernachlässigt. Somit ergibt sich

$$\frac{U2}{U1} = \left(\frac{R_{DS\,2\,ON}}{R_{DS\,2\,ON} + R_{DS\,1\,OFF} + R_G}\right) \cdot \left(\frac{R_L}{R_L + R_{DS\,3\,OFF}}\right). \tag{5}$$

Bei höheren Frequenzen ist der Blindwiderstand X_C der Störkapazität $C12$ zu berücksichtigen.

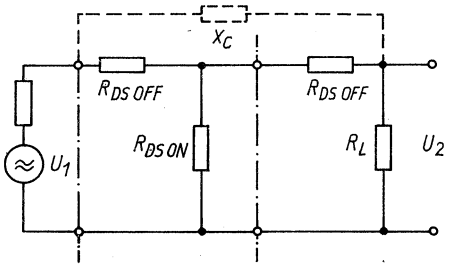


Bild 13.7 Ersatzschaltung des FET-T-Glieds im Schaltzustand „AUS"

Tabelle 13.1. FET-Spannungsschalter, Ausgangsspannung in % der Generatorspannung im ein- und ausgeschalteten Zustand abhängig vom Generatorinnenwiderstand und vom Lastwiderstand

			I			II			III		
Lfd. Nr.	R_G / kΩ	R_L / kΩ	Serienschalter U_A in % von U_G EIN	AUS	Verhältnis EIN/AUS	Parallelschalter U_A = % von U_G EIN	AUS	Verhältnis EIN/AUS	Serien/Parallel-Schalter U_A in % von U_G EIN	AUS	Verhältnis EIN/AUS
	1	2	3	4	5	6	7	8	9	10	11
1	0,1	0,1	33	0,001	33 000				33	0,0005	66 000
2	0,1	1	83	0,01	8 300				83	0,00091	91 208
3	0,1	10	98	0,1	980				98	0,00099	98 989
4	0,1	100	99,8	1	100				99,8	0,000999	99 900
5	0,1	1000	100	9,1	11				99,98	0,001	99 980
6	1	1	47,6	0,01	4 760	50	8,34	6	47,6	0,0009	52 308
7	10	10	49,7	0,1	497	50	0,98	51	49,75	0,00098	50 765
8	100	100	49,9	0,98	51	49,7	0,1	497	49,72	0,00098	50 735
9	1000	1000	50	8,33	6	47,3	0,01	4736	47,36	0,00091	52 044

Tabelle 13.2. Übersicht der Anpassungs- und Betriebsverhältnisse bei FET-Analogschaltern

Schalterart	Serienschalter	Serien/-Parallel-Schalter	Doppelserien/Parallel-Schalter (T-Glied)	Parallelschalter	Parallel/Serien-Schalter
1. Generatorwiderstand R_G	$\leqq 100\,\Omega$	$\geqq 1\,k\Omega$	$\geqq 1\,k\Omega$	$\geqq 100\,k\Omega$	$\geqq 100\,k\Omega$
2. Lastwiderstand R_L	etwa 10 kΩ	$\geqq 10\,k\Omega$	$\geqq 10\,k\Omega$	$\geqq 100\,k\Omega$	$\geqq 100\,k\Omega$
3. Bedingung für große Sperrdämpfung	R_L klein	keine Bedingung	keine Bedingung	R_G groß	R_G groß, R_L klein
4. Bedingung für kleine Durchlaßdämpfung	R_L groß, R_G klein	R_L groß, R_G klein	R_L groß, R_G klein	$R_L > R_G$	R_L groß, R_G klein
5. Bedingung für großes AUS/EIN-Verhältnis	R_L klein	R_G klein	R_L klein	R_G und R_L groß	R_G groß
6. AUS/EIN-Verhältnis für die Werte in Spalte 1. und 2.	60 dB	100 dB	100 dB bei 2 kHz	55 dB	100 dB
7. Bei Schalter „AUS" besteht Kurzschluß von:	—	Last	—	Quelle und Last	Quelle

Für alle Schalterarten gilt: $R_{DS\,ON} \ll R_L \ll R_{DS\,OFF}$
$R_{DS\,ON} = 30$ bis $500\,\Omega$ (je nach FET-Typ und $-U_{GS}$),
$R_{DS\,OFF} > 10\,M\Omega$

Zu allen Formeln sind Vereinfachungen möglich, wenn R_G oder $R_L \gg R_{DS\,ON}$ und wenn R_G oder $R_L \ll R_{DS\,OFF}$. Die Zulässigkeit von Vereinfachungen muß für den Ein- und Auszustand getrennt entschieden werden.

Tabelle 13.1. zeigt die nach den angegebenen Formeln errechneten Werte für einige Standardkombinationen. Für $R_{DS\,ON}$ wurde bei dieser Berechnung ein mittlerer Wert von 100 Ω angesetzt. Durch den Einsatz des *SMY 52* mit etwa 30 Ω können die Schal-

tereigenschaften verbessert werden. Stehen Reserven zur Verfügung, so genügt einer der anderen MOSFET. Tabelle 13.2. zeigt die Anpassungs- und Betriebsbedingungen für alle Schalterarten. Der eingesetzte Wert für $R_{DS\,OFF}$ ist mit 10 MΩ relativ niedrig. Er wurde in die Größenordnung des Blindwiderstands der Durchgangskapazität $C12$ bei 20 kHz gelegt; es wäre der im NF-Bereich ungünstigste Fall, der eintreten könnte. Da der *ohmsche* Widerstand $R_{DS\,OFF}$ stets $> 100\,M\Omega$ ist, wird bei niedrigeren Frequenzen eine größere Sperrdämpfung erreicht. Das gilt in erster Linie für die SMY-Typen mit entkoppeltem Bulk (Bulk an Masse, niederohmige Vorspannungsquelle oder *RC*-Glied in Bulkleitung). Bei innerer Verbindung zwischen Source und Bulk beträgt $C12 \approx$

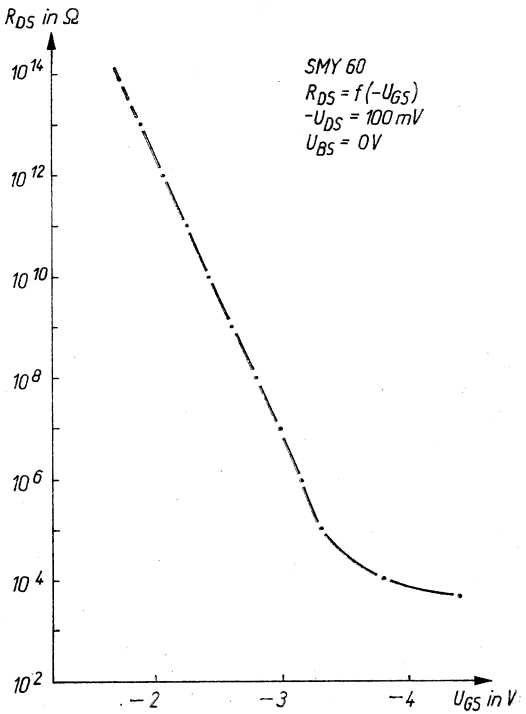


Bild 13.8 Kanalwiderstand als Funktion der Gatespannung

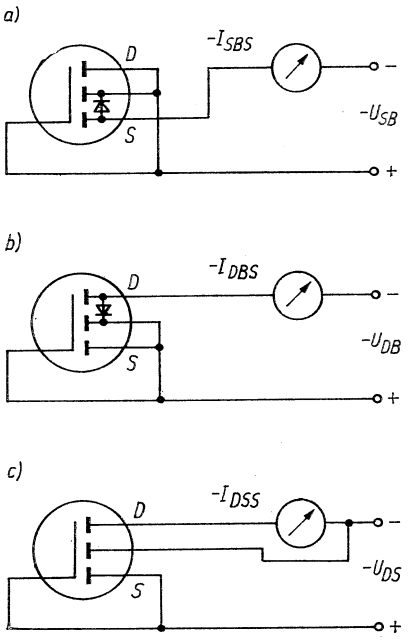


Bild 13.9
Meßschaltungen für FET-Restströme über Drain und Source; a — Source/Bulk-Reststrom, b — Drain/Bulk-Reststrom, c — Reststrom über den Kanal

3 pF, und im Nebenschluß zum Kanal liegt der Innenwiderstand des pn-Übergangs.

Bild 13.8 zeigt, daß der wahre Wert für $R_{DS\ OFF} \gg 100\ M\Omega$ ist. Den Herstellerunterlagen ist hierüber aber nichts zu entnehmen. Diese für den FET-Serienschalter so wichtige Größe soll deshalb nachfolgend etwas näher untersucht werden.

Wollte man $R_{DS\ OFF}$ nach dem *Ohmschen* Gesetz aus dem vom Hersteller genannten Drainreststrom I_{DSS} bestimmen, so entstünde ein völlig falsches Resultat.

Nach TGL wird in der Schaltung nach Bild 13.9a der Source/Bulk-Reststrom I_{SBS} gemessen, also der Sperrstrom der einen Substratdiode. Die Schaltung nach Bild 13.9b ergibt den Drain-Bulk-Reststrom I_{DBS} und nicht den interessierenden Reststrom über den Kanal I_{DSS}! Diese Größe kann nur in der Schaltung nach Bild 13.9c bestimmt werden, in welcher der nicht interessierende, aber viel stärkere Sperrstrom der Substratdiode am Strom-

messer vorbeigeführt wird. Diese Messung ist jedoch mit amateurmäßiger Ausrüstung nicht möglich; dazu gehört ein Strommeßverstärker, der ganz speziellen Anforderungen genügt.
Nach diesen Ausführungen wird auch klar, daß bei Erdung des Substrats im Stromkreis des Serienschalters der Sperrstrom des pn-Übergangs abgeleitet wird und der Innenwiderstand der Substratdioden keinen Anteil am Sperrwiderstand des Analogschalters hat. Zwischen Quelle und Last bleibt tatsächlich nur der FET-Kanal mit dem höheren Widerstand nach Bild 13.8 wirksam. Durch die Substraterdung wird zugleich die Reihenwirkung der Kapazität der Substratdioden eliminiert, und somit verbessert sich das Sperrverhalten der SMY-Typen gegenüber den SM-Typen in 2facher Weise.

14. Schaltungsbeispiele

14.1. Verzögertes Schalten

Mit dem Steuerstromkreis wird das Zeitverhalten des FET-Schalters festgelegt. Beim Schalten muß die Gatekapazität umgeladen werden; die Umladezeit bestimmt die Schaltzeit. Bei kleinem Innenwiderstand der U_G-Quelle und niedrigem R_L sind Schaltzeiten von nur 20 ns möglich [7].

Für NF-Anwendungen sind so kurze Schaltzeiten im allgemeinen weder erforderlich noch erwünscht. Ein *RC*-Glied in der Steuerleitung (Bild 14.1) schafft einen gleitenden Übergang vom Aus- in den Ein-Zustand und umgekehrt. In elektroakustischen Anlagen entfallen dadurch Knackgeräusche, die beim Bedienen mechanischer Kontakte unvermeidlich waren, und in Meßgeräten wird das häufig beim Umschalten beobachtete Zeigerspringen vermindert. Gleichzeitig läßt sich durch das *RC*-Glied eine definierte Ein- und Abschaltverzögerung realisieren. Der Widerstand *R*1 leitet die Ladung von *C* nach dem Trennen des Kontakts wieder ab.

Bild 14.2 zeigt das Zusammenwirken von Verzögerungsglied und FET-Schalter. Es handelt sich um die Nachbildung des Relais mit

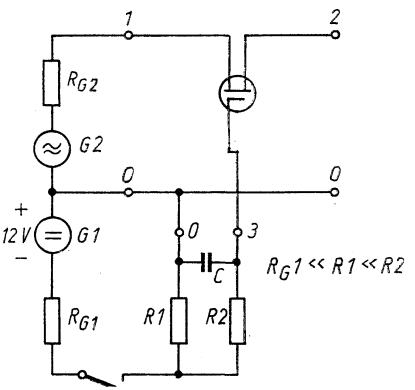


Bild 14.1 Gatestromkreis mit einfachem Verzögerungsglied

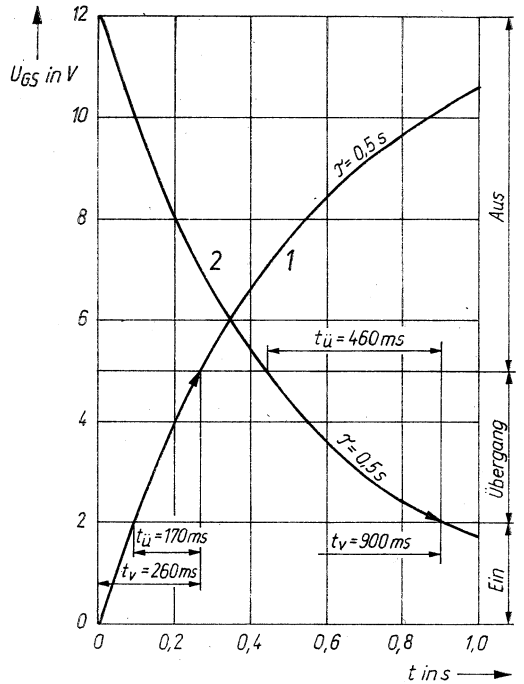


Bild 14.2 Verzögerungscharakteristik des FET-Schalters

Ruhekontakt durch den FET-T-Schalter. Beim einfachen *RC*-Glied nach Bild 14.1 erhält man nach Anlegen der Steuerspannung die Kurve 1 in Bild 14.2. Das Sättigungsverhalten des FET-Schalters kommt dem exponentiellen Verlauf der Ladekurve des Kondensators entgegen: Der Schaltübergang liegt im annähernd geradlinigen Anfangsteil der Kurve 1 und beansprucht weniger als 1/10 der Gesamtladezeit. Während die Gatespannung erst nach 5 T ihren Endwert zu 99% erreicht, dauert der Schaltübergang nur etwa 1/3 T. Um die Verzögerungszeit bestimmen zu können, müssen 2 Punkte auf der Schaltcharakteristik in Bild 10.2 die Gebiete EIN, Übergang und AUS abgrenzen. Diese Punkte werden willkürlich auf 1/3 und 1/100 der Signalamplitude gelegt, d. h., $U_a = 0{,}33 \cdot U_e \triangleq$ EIN und $U_a = 0{,}01\ U_e \triangleq$ AUS.

Damit ergibt sich im Beispiel nach Bild 14.2 eine Verzögerung von 260 ms.
Während der Aufrechterhaltung des erreichten Schaltzustands lädt sich der Kondensator auf den Wert der Steuerspannung (12 V) auf. Wird dann die Steuerspannung abgeschaltet, so entlädt sich der Kondensator nach Kurve 2. Aufgrund der Spannungsverhältnisse liegt der Schaltübergang in einem späteren Zeitabschnitt der e-Kurve. Die Übergangszeit beträgt das 3,5-fache und die Schaltverzögerung das 5fache der Werte beim Aufladen des Kondensators. Wird die unabhängige Wahl von Verzögerungs- und Übergangszeit gefordert, muß zwischen Schalter und Netzwerk ein Zeitglied mit Kippverhalten eingefügt werden, aber auch Maßnahmen zur Linearisierung der Auf- und Entladung sind geeignet.
Wird bei elektroakustischen Anlagen auf diesem Wege ein Aus-, Ein- oder Überblendeffekt angestrebt, muß man mit entsprechend kleinen Amplituden arbeiten, weil die FET im Übergangsgebiet zwangsläufig durch die dort sehr starke Kennlinienkrümmung den Klirrfaktor vergrößern. In diesen Fällen ist eine Linearisierung der Übertragungsfunktion durch Rückkopplung nach [7] (S. 137 bis 139) und [26] möglich.

14.2. Der Serienschalter ohne Verkopplung von Gatevorspannung und Signal

Bereits in Abschnitt 13.4. wurde darauf hingewiesen, daß die Null-Leitung als Bezugspunkt für die Gatespannung wegen der größeren Verzerrungen nicht günstig ist. Trotzdem hat sich diese Lösung als Standardschaltung durchgesetzt, weil sie es gestattet, alle in einem Gerät vorhandenen FET-Schalter von nur einer Vorspannungsquelle aus zu steuern und diese einseitig mit der Null-Leitung zu verbinden. Diese Schaltung ist noch einmal in Bild 14.3a und Bild 14.3b gezeigt. In Bild 14.3c und 14.3d wurde anstatt Masse Source der Bezugspunkt für die Gatespannung. Die nichtlinearen Verzerrungen nehmen, wie Bild 11.11 zeigte, dadurch ab. Nachteil der Schaltung ist, daß für jeden Schalter eine separate Vorspannungsquelle benötigt wird, die wegen ihrer relativ großen Kapazität gegen Null eine Zusatzdämpfung bei höheren Frequenzen bewirken und eine Einkopplung von Stör-

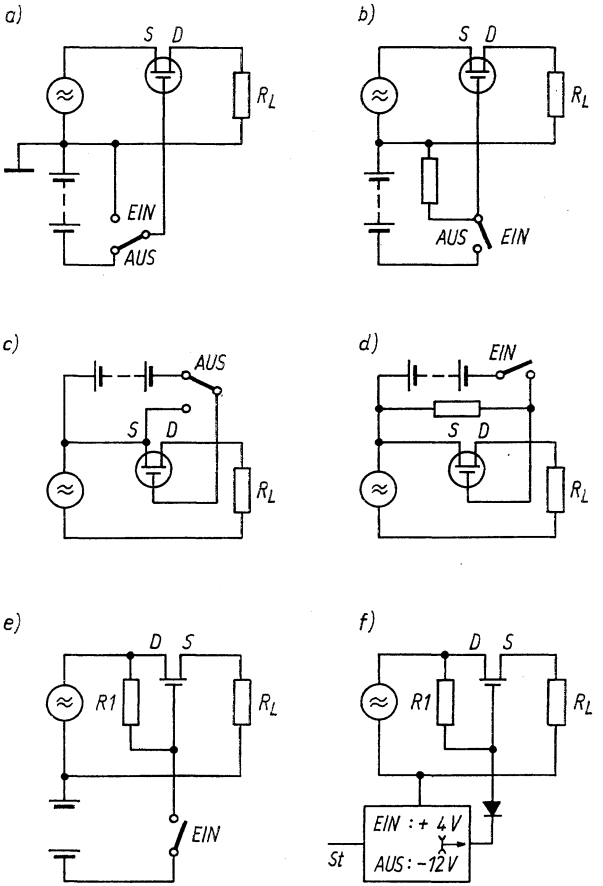


Bild 14.3 FET-Serienschalter, Entwicklung der Standardschaltung zur Schaltung ohne Verkopplung des Signals mit der Gatevorspannung

spannungen aus dem Netz hervorrufen würde. Nach den Ausführungen in Abschnitt 11.3 wurde u. a. aus ökonomischen Gründen angestrebt, die n-Kanal-Verarmungs-FET im Durchlaßzustand bei $U_{GS} = 0$ V zu betreiben. Bild 11.5 ließ aber erkennen,

daß dies nur bei sehr hohem Lastwiderstand zu ausreichend niedrigem Klirrfaktor führt.
In Bild 14.3e wird nun eine Schaltung für den n-Kanal-FET vorgeschlagen, die es erlaubt, Drain als Gatebezugspunkt zu verwenden, ohne daß die Gatevorspannungsquelle von der Null-Leitung getrennt werden muß. Dadurch genügt nur eine Vorspannungsquelle, um beliebig viele FET-Schalter eines Geräts steuern zu können.
Die Bezugsnahme des Gate auf Drain hatte sich beim FET *SM 103* nach Bild 11.11 als bedeutend günstiger erwiesen, bei anderen FET kann möglicherweise die übliche Bezugnahme auf Source besser sein.
Bild 14.3f zeigt eine Anordnung mit dem gleichen Resultat, bei der die Ansteuerung durch einen Inverter oder Pegelwandler übernommen wird. Hier muß im Zustand „EIN" bei größerer Signalamplitude eine in Sperrichtung vorgespannte Diode in der Gateleitung liegen, um den Steuerkreis gegen $R1$ hochohmig zu machen. $R1$ sollte so groß sein, wie es die durch die Gatekapazität gegebene Zeitkonstante erlaubt; im NF-Gebiet wäre ein Maximalwert von etwa 1 MΩ zulässig.
Die Charakteristik in Bild 11.11 zeigt das günstige Übertragungsverhalten selbst bei dem relativ niedrigen Lastwiderstand von nur 1 kΩ. Leider kann das Substrat dieser FET-Typen wegen der inneren Verbindung nicht vorgespannt werden, dadurch lassen sich nur kleine Signale sperren. Eine Schaltung, die es auch beim p-Kanal-FET erlaubt, die Verkopplung von Gatespannung und Signal zu vermeiden, ohne die Gatespannungsquelle von der Null-Leitung trennen zu müssen, wird in Abschnitt 14.5. beschrieben.

14.3. Schaltung zur Erhöhung der sperrbaren Spannung

Der in Bild 11.8 und Bild 11.10 ausgewiesene große Aussteuerbereich im Durchlaßzustand des Schalters könnte durch weiteres Erhöhen der Substrat- und Gatevorspannung auf noch größere Werte ausgedehnt werden. Ein solches Vorhaben erscheint aber im Hinblick auf die in Bild 7.7 und Bild 8.3 gezeigte niedrige Grenze der sperrbaren Spannung sinnlos. In Bild 14.4 wird eine Schaltung nach Bild 3.2d vorgeschlagen, mit der sich der Bereich

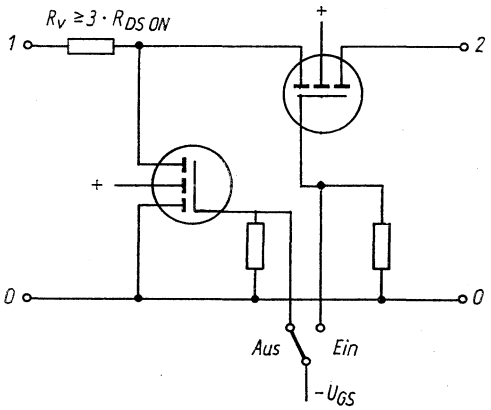
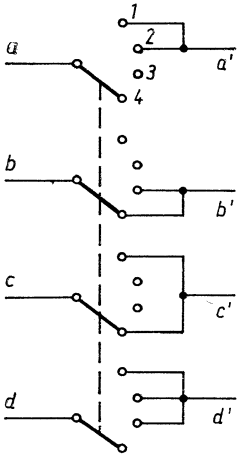


Bild 14.4 Parallel/Serienschalter mit Erweiterung des Bereichs der sperrbaren Signalspannung

der sperrbaren Spannung ebenfalls erweitern läßt. Der Ausweg besteht darin, einen Serien- und einen Parallel-FET zu verwenden, den letzteren aber nicht wie üblich nach, sondern vor dem Serien-FET einzufügen. In Verbindung mit einem Mindestquellwiderstand, dargestellt durch R_V, wird bei Sperrung die am Serien-FET liegende Signalamplitude auf einen solchen Wert reduziert, den dieser FET einwandfrei sperren kann. Um die Durchlaßdämpfung so klein wie möglich zu halten, wählt man R_V nicht größer, als es gerade zur ausreichenden Reduzierung der Signalamplitude nötig ist. Der Lastwiderstand soll $\gg R_V$ sein. Die angegebene Schaltung eignet sich auch gut zur Ansteuerung mit einem Multivibrator.

14.4. Mehrkanal-Stufenschaltung mit Diodenmatrix

Bild 14.5 zeigt die konventionelle Anwendung eines Mehrfachschalters. Zur Lösung dieser Aufgabe ist ein mechanischer Schalter mit 4 Segmenten erforderlich. Verwendet man für die 4 Signalleitungen je einen FET als Schalter und fügt zur Entkopplung der



Segment / Stellung	a	b	c	d
1	×		×	×
2	×			×
3		×		×
4		×	×	

Bild 14.5
Beispiel einer konventionellen Stufenschaltung mit 4 Schaltersegmenten

Gategruppen Dioden ein, so vereinfacht sich der handbediente Schalter, indem nur noch 1 Segment benötigt wird, wie dies aus Bild 14.6 hervorgeht. Damit ist zugleich gezeigt, wie man die Schalterfunktion für eine Programmsteuerung vorbereiten kann. Die Steuerleitungen zu den FET können den erforderlichen H- oder L-Pegel anstatt über den Schalter von integrierten MOS-Schaltkreisen in negativer Logik erhalten bzw. über Pegelumsetzer auch von jeder anderen Steuerlogik. Das Beispiel eines Pegelumsetzers von TTL- auf MOS-Logik zeigt Bild 14.7. Schaltung und Dimensionierung gelten für nahezu beliebige pnp-Transistoren; NF-Transistoren eigneten sich aber besser als HF-Typen.

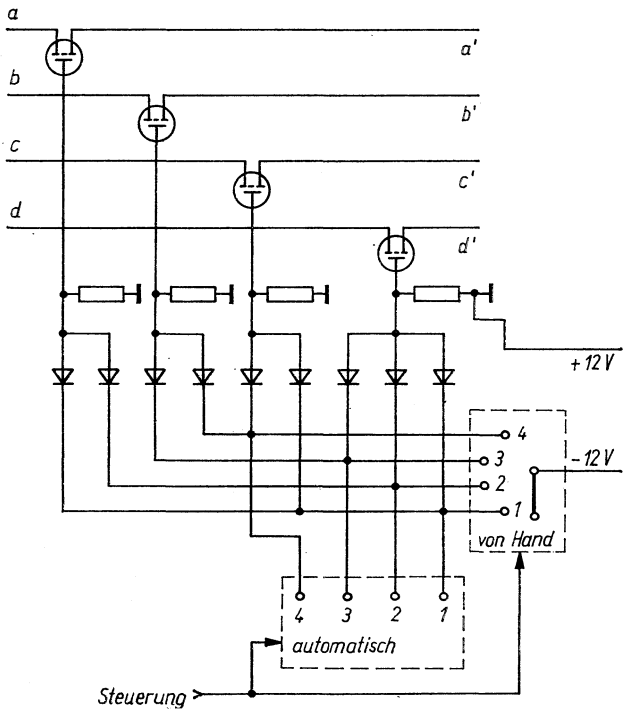
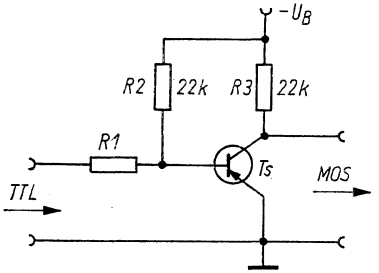


Bild 14.6 Lösung der Schaltaufgabe aus Bild 14.5 mit Feldeffekttransistoren und Dioden und nur einem Schaltersegment



R1	U_B
6...7k	8 V
4...5k	12 V
2,5...3k	20 V

Ts : GC 116
GC 121
GC 301
GF 100
GF 129
und ähnl.

Bild 14.7
Pegelumsetzer TTL auf MOS

14.5. Der bistabile FET-Schalter

Eine weitere interessante Möglichkeit des FET-Schalter-Einsatzes ergibt sich aus dem hohen Isolationswiderstand der Gateelektrode. Die durch die Gatevorspannung gegebene Ladung kann gespeichert werden; der bei angelegter Spannung erreichte Schalterzustand bleibt auch nach Abtrennen der Steuerquelle bestehen, sofern die Gatekapazität durch einen gut isolierenden Kondensator entsprechend vergrößert wurde. Der FET-Schalter arbeitet in diesem Falle bistabil, wie ein Selbsthalterelais. Bild 14.8 zeigt die Speicherschaltung mit Kontaktansteuerung. Nach kurzzeitigem Bedienen des jeweiligen Kontakts bleibt der Kon-

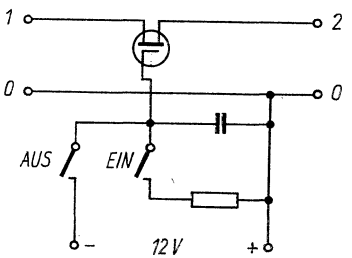


Bild 14.8
Bistabiler FET-Schalter mit Ansteuerung durch Tasten

densator geladen oder entladen und damit der FET-Schalter geschlossen oder getrennt. Der typische Gate-Isolationswiderstand ist für die MOSFET *SM 103* und *SM 104* sowie *SMY 60* mit $10^{14}\,\Omega$ angegeben, er liegt damit in der gleichen Größenordnung wie der Isolationswiderstand guter Kunstfolie-Kondensatoren. Bei einer Kapazität von 0,1 μF ergäbe sich eine Zeitkonstante von

$$T = RC = 10^{14}\,\Omega \cdot 10^{-7}\,\mathrm{F} = 10^{7}\,\mathrm{s}.$$

Der Speicherkondensator würde also nach einer Zeit von 10^6 s ($\approx$ 300 h) noch 99,9% seiner Anfangsladung haben und über diese Zeit den gewählten Schalterzustand aufrechterhalten, sofern die Steuerkontakte und die Zuleitungen entsprechend isoliert sind. Selbst wenn in der Praxis diese extreme Isolation nicht garantiert werden kann, bleibt noch eine genügend lange Speicherzeit, um die Anwendung dieser Methode zu rechtfertigen. Für die Realisierung der Speicherschaltung sind natürlich die MOSFET am günstigsten. Die meisten p-Kanal-FET haben allerdings eine integrierte Gateschutzdiode, so daß sich diese Transistoren ähnlich verhalten wie die Sperrschicht-FET. Der Sperrwiderstand zwischen dem Gateanschluß und dem Substrat ist oft wesentlich niedriger, so daß sich entsprechend kürzere Speicherzeiten ergeben (siehe Abschnitt 15.).
Bild 14.9 zeigt eine Speicherschaltung des Serienschalters, bei der die Verkopplung von Signal und Gatevorspannung vermieden wurde. Der Bezugspunkt für die Gatevorspannung ist nicht mehr der Nullpunkt der Schaltung, sondern Source. Das würde nor-

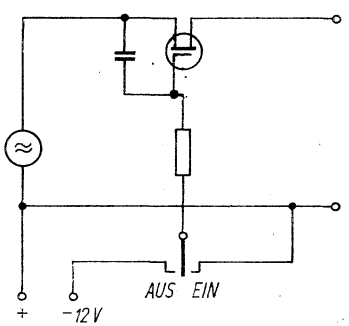


Bild 14.9
Serienschalter mit schwebender (floating) U_{GS}-Quelle und Tastensteuerung

malerweise, wie bereits in Abschnitt 14.2. erwähnt, für jeden FET eine separate und von Null isolierte (floating) Vorspannungsquelle erfordern. Eine solche Lösung ist aus wirtschaftlichen und technischen Gründen undiskutabel. Der vorgeschlagene Ausweg besteht auch hier darin, die Vorspannung einem Kondensator zu entnehmen, der zum Aufladen nur kurzzeitig mit der Vorspannungsquelle verbunden wird und den man nach der Aufladung wieder von dieser trennt. Da der Ladestrom über die Quelle geführt wird, muß diese einen ausreichend kleinen Innenwiderstand haben, um unzulässige Schaltspitzen zu vermeiden. Der Maximalwert des Lade- und Entladestroms ist durch den Widerstand begrenzt. Nachteilig ist in Bild 14.9 die Verbindung der Steuerleitung mit dem Signalweg, das gilt auch für Bild 14.3e, 14.12 und 14.16.

14.6. Die Ansteuerung des FET-Analogschalters durch Sensortasten

Die Anwendung von Sensortasten beruht meistens darauf, daß durch die Taste eine Digitalschaltung ausgelöst wird, erst danach ist die Schaltung eines analogen Signals durch ein weiteres Glied möglich, z. B. ein elektromechanisches Relais. Diesen Umweg kann man beim FET-Analogschalter sparen, indem dieser von der Sensortaste direkt gesteuert wird. In Bild 14.8 treten an die Stelle der Steuerkontakte die Sensortasten. Der Stufenschalter in Bild 14.6 kann durch vorgeschaltete FET-Digitalschalter in Speicherschaltung ersetzt werden.
Da man nach dem Loslassen der Sensortaste den bestehenden Schaltzustand nicht mehr erkennt, ist eine optische Anzeige empfehlenswert, die auch zur Funktionskontrolle erwünscht ist und z. B. melden würde, wenn ein Gatekreis durch Isolationsmängel die Ladung nicht mehr hält. Ein 2. FET, dessen Gate mit dem Gate des Analogschalters zu verbinden ist, schaltet den Strom einer Signalglühlampe (*SMY 52* bis 60 mA belastbar), oder man verwendet Leuchtdioden. Anstelle der jeder Taste zugeordneten Signallampe ist es auch möglich, über Codierschaltung ein Lumineszenz-Zifferntableau zu steuern, d. h., die jeweils leuchtende Zahl meldet die Nummer der zuletzt berührten Taste. Schließlich kann man eine Schrittschaltung realisieren, also mit nur einer Sensor-

taste einen Ringzähler weiterschalten, der durch Ziffernanzeige die Nummer des jeweils durchgeschalteten Analogkanals meldet. Dazu sind u. a. die Sensorschaltkreise *U 700 D* und *U 710 D* geeignet.

14.7. Der FET-Stromschalter

Die vorliegende Arbeit behandelte in erster Linie das verlustarme Durchschalten und das Sperren einer Signalspannung, der Schalter war also zwischen einer niederohmigen Quelle und einer hochohmigen Last angeordnet; es lag der Zustand der Spannungsanpassung vor, den man bei NF-Verstärkern meistens findet. Trotzdem soll auch der andere Extremfall, die Stromanpassung, etwas näher erläutert werden, also der Generator mit so hohem und die Last mit so niedrigem Innenwiderstand, daß der Spannungsabfall am Lastwiderstand gegen die Generatorspannung sehr klein ist. Wird dieser niedrige Lastwiderstand durch den Eingangswiderstand eines folgenden Verstärkers dargestellt, handelt es sich um eine Stromsteuerung, und man nennt den hier unter ganz anderen Bedingungen arbeitenden Schalter „Stromschalter", im Gegensatz zu dem vorher behandelten „Spannungsschalter".
Den FET-Stromschalter findet man fast ausschließlich vor einem Operationsverstärker mit Parallel-Strom-Gegenkopplung (Bild 3.3), wobei häufig die Spannungsverstärkung so eingestellt wird, daß am Ende wieder die Generatorspannung zur Verfügung steht.

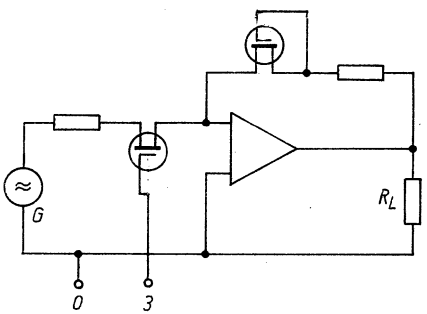


Bild 14.10
FET-Stromschalter mit zweitem FET zur Temperaturkompensation

In der englischsprachigen Literatur findet man die Bezeichnung „virtual-ground-switch", damit ist gesagt, daß dieser Schalter an den Summenpunkt der Schaltung angeschlossen wird, dort, wo sich der Strom vom Generator und der gegensinnig gepolte Rückstrom vom Verstärkerausgang nahezu kompensieren und eine „virtuelle Erde" bilden. Der Summenpunkt hat also stets ein Potential gegen Masse, welches im Vergleich zu den beim Spannungsschalter besprochenen Grenzen so gering ist, daß es vernachlässigt werden kann. Aber auch beim Stromschalter muß die Bedingung erfüllt sein, daß der Spannungsabfall am Durchgangswiderstand des geschlossenen Schalters gegen die Generatorspannung sehr klein bleibt, was dann zwangsläufig auch für die Eingangsspannung des geschlossenen Schalters zutrifft. Schließlich entfällt das Problem der Überlagerung der Generatorspannung mit der Gatespannung als Ursache von Verzerrungen. Neu ist dagegen die Forderung nach einem Schutz des geöffneten Schalters vor der beliebig hohen Generatorspannung. Sie läßt sich sehr leicht durch die Spannungsbegrenzung mit 2 antiparallel geschalteten Dioden erfüllen. Allerdings liegt in diesem Fall die Flußspannung der Dioden (bei großem Sinussignal eine Rechteckspannung) am Schaltereingang, und über die FET-Kapazität wird ein Störsignal übertragen, welches nicht immer vernachlässigt werden kann. Die Schalterkonfiguration nach Bild 3.2d bietet einen Ausweg: Die Dioden werden durch einen 2. FET ersetzt, der die Verzerrung des Restsignals vermeidet, die Restsignalamplitude vermindert und damit die Sperrdämpfung des Schalters bedeutend erhöht (Bild 14.11).
Die Übertragungsfunktion des Operationsverstärkers lautet:

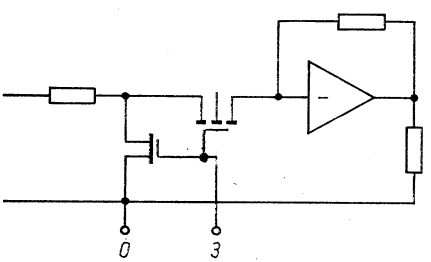


Bild 14.11 FET-Stromschalter mit Parallel-Serien-Anordnung

$$U20 = \frac{R2}{R1} U10 .$$

Ist der Widerstand $R_{DS\,ON}$ des Längstransistors gegen $R1$ nicht vernachlässigbar, so muß $R1$ entsprechend verkleinert werden. Stört auch noch der Temperaturkoeffizient des Kanalwiderstands, ist die Kompensation durch einen möglichst gleichartigen FET in der Schaltung nach Bild 14.10 üblich. In diesem Falle braucht man $R1$ nicht zu korrigieren.

Der Stromschalter wird auch verwendet, wenn in einem Verstärker das Rückführglied im Gegenkopplungszweig umgeschaltet werden muß. Auch hier ist u. U. die Einfügung von Begrenzerdioden oder eines Quertransistors erforderlich.

14.8. Die Grundschaltung des FET-Schalters mit Sperrschicht-FET

Wie bereits in der Einleitung gesagt, besteht der Unterschied zwischen n-Kanal-SFET und MOSFET darin, daß zwischen der steuernden Elektrode und dem Kanal nicht eine Isolierschicht, sondern ein pn-Übergang liegt, der nur in Sperrichtung betrieben werden darf. Eine in der zulässigen Polung angelegte Gatespannung vermindert den Strom I_D bzw. vergrößert den Kanalwiderstand, folglich gibt es den SFET nur als Verarmungstyp, der Kanalwiderstand hat also bei $U_{GS} = 0$ seinen Kleinstwert $R_{DS\,ON}$.

Am weitaus häufigsten wird der n-Kanal-SFET verwendet, der auch von den Halbleiterproduzenten in einer viel größeren Typenauswahl angeboten wird. Er hat gegenüber dem MOSFET und dem p-Kanal-SFET den Vorteil, daß wesentlich niedrigere Kanalwiderstände realisiert werden können, z. B. steht aus der UdSSR der Typ *K 903* zur Verfügung mit $R_{DS\,ON} \leqq 10\ \Omega$, und von *Siliconix* werden mehrere Typen mit $R_{DS\,ON} < 10\ \Omega$ angeboten ($R_{DS\,ON} \leqq 2{,}5\ \Omega$ beim Typ *U 290*).

Die folgenden Ausführungen betreffen daher nur den n-Kanal-SFET, dessen Spannungspolung und Verhalten den MOSFET-Typen *SM 103* und *SM 104* ähnelt und der noch besser als der MOSFET mit der Elektronenröhre verglichen werden kann, denn er darf ebenso wie diese nicht mit positiver Spannung gesteuert werden, weil dann Gitter- bzw. Gatestrom fließt.

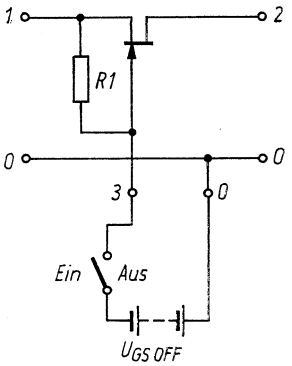


Bild 14.12
Ansteuerung des SFET-Analogschalters durch einen Kontakt

Bild 14.12 zeigt den SFET-Analogschalter von einem mechanischen Kontakt gesteuert. Bei geöffnetem Kontakt nimmt das Gate auch ohne $R1$ aufgrund des endlichen Sperrwiderstands der pn-Schicht von selbst das Potential des Kanals an, und das Signal wird durchgeschaltet. Die Leitung 3 und der Kontakt müssen aber gut isoliert sein, wenn $R1$ fehlt. Unter dieser Bedingung vollzieht sich der Übergang vom Sperr- in den Durchlaßzustand relativ langsam, weil die negative Ladung von C_G und der Leitung 3 über den Sperrwiderstand der pn-Schicht abfließt, dieser aber mit kleiner werdender Spannung beträchtlich ansteigt (Bild 7.3). Den Übergang in den Durchlaßzustand kann man durch äußeres Anfügen eines Widerstands $R1$ in der Größenordnung von 100 kΩ beschleunigen. Es ergibt sich damit die für den n-Kanal-MOSFET in Bild 14.3 gezeigte Schaltung mit dem gleichen Vorteil, daß der Kanalwiderstand nicht von der Signalspannung über das Gate moduliert wird und deshalb die Verzerrungen des durchgeschalteten Analogsignals gering bleiben. Wird mit einem Pegelwandler oder Multivibrator gesteuert, muß durch eine Diode in der Gateleitung verhindert werden, daß die Signalspannung auf das Gate kommt. Bild 14.13 zeigt die allgemein übliche Schaltung des einfachen SFET-Serienschalters mit Pegelwandler (weiteres über Pegelwandler in [30] und [32]). Diese Schaltung arbeitet wie folgt: Liegt am Steuereingang 4 der L-Pegel, ist Ts 2 durchgesteuert, die Diode ist mit etwa 5 V in

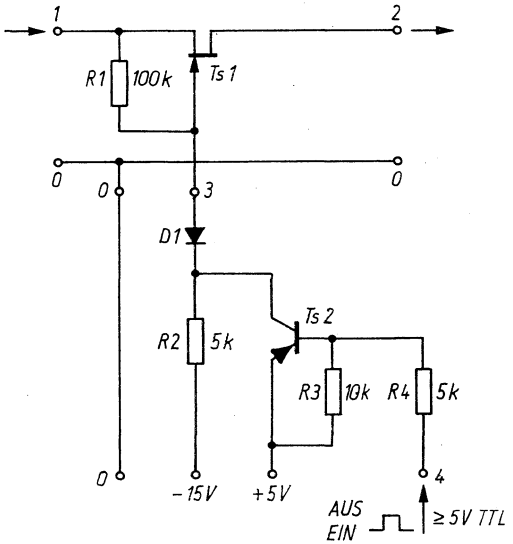


Bild 14.13 Ansteuerung des SFET-Analogschalters mit TTL-Signal

Sperrichtung vorgespannt und der Weg zum Gate damit gesperrt. Somit erhält das Gate über $R1$ das Potential von Punkt 1, U_{GS} ist folglich Null, und der FET-Kanal leitet. Die positiven Halbwellen dürfen nicht größer sein als die Vorspannung der Diode, sonst würde diese in Flußrichtung gepolt und leitend werden. Liegt am Punkt 4 der H-Pegel, wird Ts 2 gesperrt, und über die jetzt in Flußrichtung gepolte Diode erhält der FET eine negative Gatespannung, welche den Kanal sperrt. In Bild 14.12 und Bild 14.13 liegen die Verhältnisse so, wie in Bild 8.1 gezeigt: Signal- und Vorspannungsquelle sind in Reihe geschaltet. Die negativen Halbwellen müssen kleiner bleiben als die Differenz zwischen der Schwellspannung des FET und der negativen Vorspannung, sonst würden die Signalspitzen den FET zeitweilig aufsteuern und einen stark verzerrten Signalrest durchlassen. Etwas weitergehende Informationen über den SFET-Analogschalter sind in [7] und [13] gegeben.

14.9. Der Einfluß von Gleichspannungsanteilen an Quelle und Last

In der Praxis hat das Signal meistens einen im Vergleich mit seiner Amplitude großen Gleichspannungsanteil, auch der Lastwiderstand ist nicht gleichspannungsfrei. Eine direkte Kopplung ist nur zwischen Stufen eines unveränderlichen Verstärkerbausteins möglich. Signale werden stets gleichspannungsfrei über eine kapazitive Kopplung der Funktionsgruppen umgeschaltet. Wenn in elektroakustischen Geräten Umschaltungen vorgenommen werden, knackt es üblicherweise; beim Umschalten von Verstärkern in Meßgeräten springt der Zeiger des Instruments mehr oder weniger, in Oszillografen hebt oder senkt sich die Null-Linie. Diese im Zusammenhang mit dem FET-Analogschaltereinsatz interessierende Erscheinung kommt nach Bild 14.14 wie folgt zustande:
Im offenen Zustand des Schalters nimmt der Punkt B ein Potential zwischen 0 und C an, je nachdem, in welchem Verhältnis die Isolationswiderstände R_{is} zueinander stehen. Fast immer besteht auch ein Unterschied zwischen den Potentialen A und C. Je größer der Spannungsunterschied zwischen Punkt A und Punkt B im Moment der Kontaktgabe ist, um so größer wird auch der Störimpuls, der in ungünstigen Fällen den Verstärker übersteuern kann. Diese lästige Erscheinung ist nur mit 2seitiger Gleichspannungsfreiheit des Schalters zu beseitigen, wie dies Bild 14.15 zeigt. Das ist aber zugleich die Schaltung, welche die komplikationslose Einfügung des FET-Analogschalters ermöglicht. Sie hält nicht nur Gleichspannungen aus Quelle und Last von Source und Drain fern, sondern schafft auch die ohmsche Verbindung nach Null, welche für die Bezugnahme der Gatespannung auf den Kanal im allgemeinen erforderlich ist.

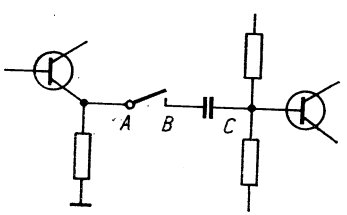


Bild 14.14
Einfache *RC*-Kopplung mit Trennkontakt

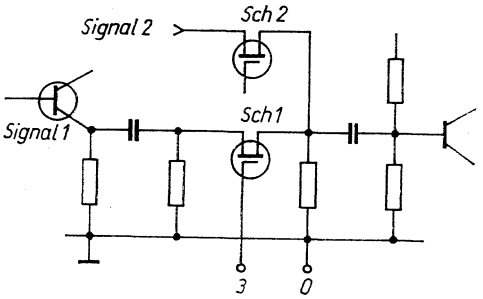


Bild 14.15 Trennung der *RC*-Kopplung durch FET-Analogschalter mit Fernhaltung der Gleichspannung von der Trennstelle

Ein Verzicht auf die Koppelkondensatoren wäre möglich, wenn der Ausgang der Vorstufe und der Eingang der Folgestufe das gleiche Potential haben wie beispielsweise in einer Anordnung nach Bild 14.16. Die Steuerspannung muß dann um den Betrag des Potentials der Schaltpunkte höher sein.

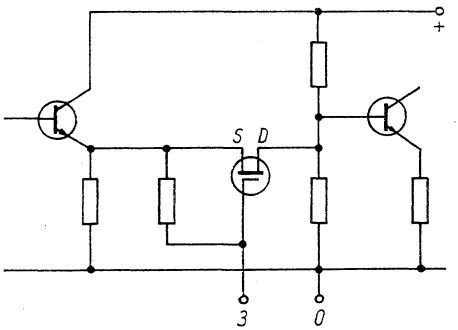


Bild 14.16 Direkte Einfügung des Spannungsschalters bei gleichem Potential am Ausgang der Vorstufe und Eingang der Folgestufe

15. Einfache FET-Prüfungen auf Eignung für den Schalterbetrieb

15.1. Die Bestimmung von U_T und $R_{DS\ ON}$

Die wichtigsten zu prüfenden FET-Eigenschaften sind:
a – die Schwellspannung U_T;
b – der Durchlaßwiderstand $R_{DS\ ON}$ (möglichst als Funktion von U_{GS}).
Wenn man nicht eine spezielle Prüfeinrichtung für FET-Schalter aufbauen will, lassen sich die in [33] empfohlenen Schaltungen für Feldeffekttransistoren oder universelle Transistorprüfgeräte verwenden, mit denen man U_T und I_{DSS} ermitteln kann. Aus beiden Größen läßt sich auf $R_{DS\ ON}$ schließen:
Je höher U_T oder/und I_{DSS} liegen, um so niedriger ist $R_{DS\ ON}$.
Für häufige FET-Schalteranwendungen wird aber eine sehr einfache Prüfeinrichtung nach Bild 15.1 empfohlen, die in den meisten Fällen den Anforderungen genügt. Dazu wird ein Ohmmeter mit 2 Meßbereichen, eine einstellbare Spannungsquelle von etwa 0 bis 20 V z. B. nach Bild 15.2 und eine Anordnung von geeigneten Steckfassungen, z. B. nach Bild 15.3, benötigt. Da die Spannungsquelle durch das Gate nicht belastet wird, kann das Potentiometer sehr hochohmig sein, so daß sich die Batterie kaum entlädt.
Um zu verhindern, daß der pn-Übergang beim p-Kanal-Anreicherungs-FET leitend wird, muß das Substrat mit dem Drainan-

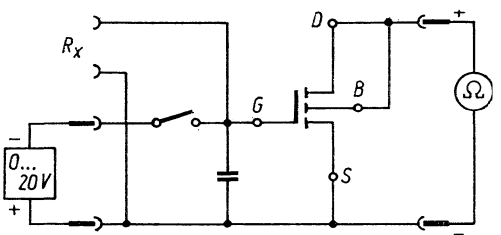


Bild 15.1 Einfache Prüfschaltung für FET ($R_{DS\ ON}$, U_T und I_{GS})

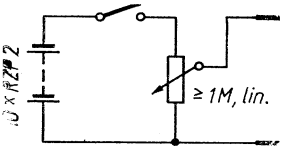


Bild 15.2
Beispiel der Gatespannungsquelle

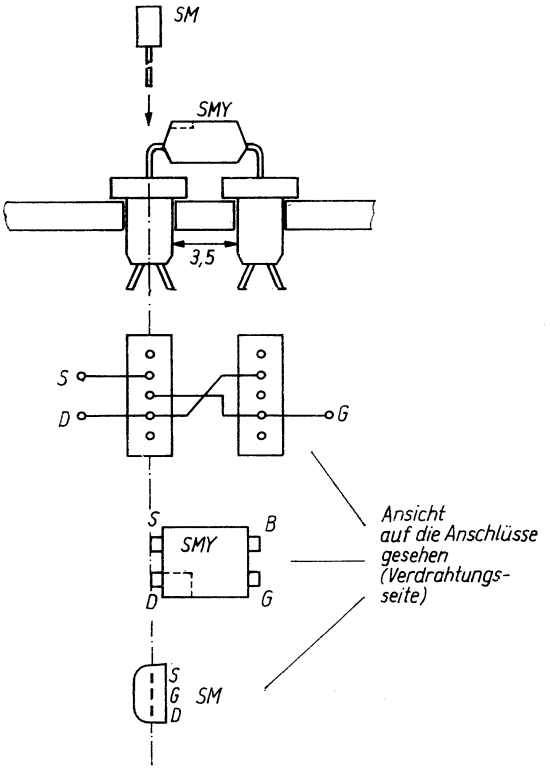


Bild 15.3 FET-Steckvorrichtung mit zwei 5poligen Transistorfassungen (bei zusätzlicher Benutzung der äußeren Kontakte läßt sich noch auf den Typ *SMY 51* erweitern)

schluß verbunden werden. Beim n-Kanal-FET ist durch die andere Polung der Drain-Substrat-Diode und die innere Verbindung zwischen Source und Substrat ein äquivalenter Zustand gegeben.

Der U_{GS}-Wert, bei dem das Ohmmeter 200 kΩ anzeigt, ist die Schwellspannung U_T. Bei dem kleinen Strom von $I_D = 10\ \mu A$ liegt nahezu die gesamte Spannung der Ohmmeterbatterie am Kanal, und die Bedingung der Sättigung ist gegeben.

Der Durchlaßwiderstand $R_{DS\ ON}$ wird im niederen Bereich des Ohmmeters gemessen. Durch dieses Meßverfahren bedingt, steigt die am Kanal anliegende Spannung mit größer werdendem Widerstand an. Um größere Meßfehler zu vermeiden, muß sie jedoch so weit unter der pinch-off-Spannung $U_{D\,SP}$ bleiben, daß der FET im annähernd geradlinigen Teil des Triodenbereichs arbeitet.

Die Herstellerkurven für R_{DS}/U_{GS} sind stets bei einer Spannung von 100 mV aufgenommen. Beachtet man das oben Gesagte, so sind die Abweichungen der Ohmmeteranzeige von den 100-mV-Werten so gering, daß man sie bei orientierenden Messungen vernachlässigen kann. Zum Aussuchen von FET mit sehr niedrigem $R_{DS\ ON}$ ist dieses Meßverfahren uneingeschränkt geeignet. Auf keinen Fall dürfen Ohmmeter mit einer höheren Spannung der Batterie als 1,5 V verwendet werden.

Die Betriebsverhältnisse bei der Verwendung von Ohmmetern sollen etwas näher untersucht werden. Zwischen dem Vorwiderstand R_V im Ohmmeter und dem (Kanal-)Widerstand R_x teilt sich die Spannung.

Bei $R_x = 0$ ist die Spannung am Meßobjekt auch Null; bei $R_x = \infty$ liegt die gesamte Batteriespannung an den R_x-Klemmen. Das Ausgangskennlinienfeld eines FET, z. B. in Bild 2.4a, zeigt aber, daß mit steigendem $R_{D\,S}$-Wert der für den Durchlaßzustand wichtige lineare (ohmsche) Abschnitt der Kurve immer kürzer wird. Je höher also R_{DS} ansteigt, um so niedriger wird die Sättigungsspannung. Das Ohmmeter hat somit einen Anzeigefehler, der von einem bestimmten Wert an mit $R_{D\,S}$ ansteigt, wenn man davon ausgeht, daß R_{DS} im linearen Bereich (100-mV-Wert) der wahre Wert ist. Das Ohmmeter zeigt dann zu große Widerstandswerte an.

Für die Praxis merke man sich:

Beim *SMY 52* sind die Messungen nicht höher als bis etwa 100 Ω,

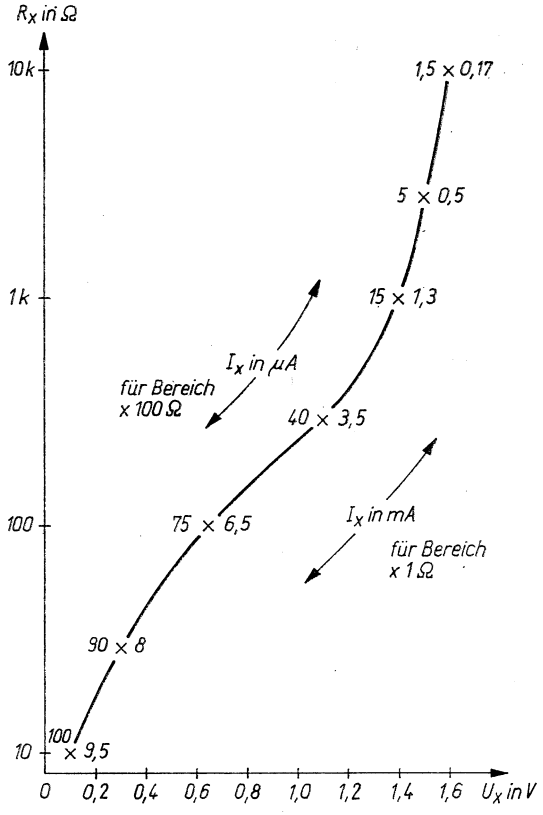
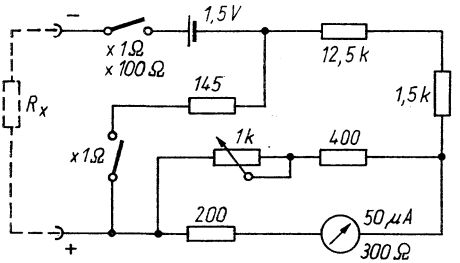


Bild 15.4 Verlauf von Spannung und Strom am Prüfling bei Widerstandsmessungen mit dem Vielfachmesser (III)

maximal 150 Ω auszudehnen. Bei den übrigen Typen sollte man bis etwa 350 Ω, maximal 500 Ω gehen. Damit wird der Durchlaßbereich vollständig erfaßt. Bild 15.4 zeigt die bei dem verbreiteten Vielfachmesser (III) auftretenden Spannungsverhältnisse am Prüfling, zugleich sind die Stromwerte für beide Widerstandsmeßbereiche eingetragen. Bild 15.5a zeigt den Stromlaufplan des Vielfachmessers für die Widerstandsmessung (siehe auch [34]).



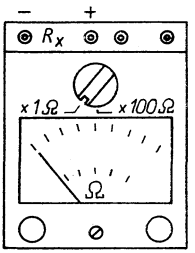


Bild 15.5 a — Stromlaufplan des Ohmmeterteils im Vielfachmesser (III), b — Polung der Ohmmeterklemmen

15.2. Die Messung des Gatestroms

Wird der FET in einer Schaltung verwendet, in der die Gatespannung durch einen aufgeladenen Kondensator gehalten werden soll, so interessiert der Gatestrom bzw. der Isolationswiderstand, der einen entsprechenden Ladungsverlust hervorruft und der damit für die erforderliche Größe des Speicherkondensators maßgebend ist. Durch den in der Schaltung nach Bild 15.1 enthaltenen Kondensator höchster Isolation (Styroflexwickel mit Drahtanschlüssen) läßt sich bei abgeschalteter U_{GS}-Quelle (durch die Zeit seiner Entladung) der Gatestrom bestimmen.
Nach dem Trennen wird die Zeit gestoppt, die der Zeiger des Ohmmeters zum Durchlaufen einer gut ablesbaren Widerstandsänderung benötigt. Aus der R_{DS}/U_{GS}-Kurve kann man dann die

entsprechende Spannungsänderung ΔU_{GS} ablesen und den Gatestrom wie folgt bestimmen:

$$I = \frac{Q}{t} = \frac{C \cdot \Delta U}{t}.$$

Beispiel, gemessen am *SMY 52*:
Der Kondensator hat eine Kapazität von 1 nF. Die Zeit zum Durchlaufen des Zeigers von 50 bis 100 Ω betrug 12 s. Für die beiden Widerstandswerte sind aus der R_{DS}-Kurve die Spannungen $U_{GS} = -13$ V und -8 V abzulesen, somit $\Delta U_{GS} = 5$ V (Bild 2.5).
Diese Werte, in die Formel eingesetzt, ergeben:

$$I = \frac{1 \cdot 10^{-9}\,\text{F} \cdot 5\,\text{V}}{12\,\text{s}} = 4 \cdot 10^{-10}\,\text{A}.$$

Verwendet man vor der Maßeinheit der Kapazität „F" die teilenden Vorsatzzeichen (p, n, μ), so wird die Rechnung richtig, wenn man den gleichen Vorsatz vor die Stromeinheit schreibt:

$$I = \frac{1\,\text{nF} \cdot 5\,\text{V}}{12\,\text{s}} = 0{,}4\,\text{nA, oder}$$

$$I = \frac{1000\,\text{pF} \cdot 5\,\text{V}}{12\,\text{s}} = 400\,\text{p A}.$$

Weiterhin erhält man den Wert des Ableitwiderstands R_{is} wie folgt:
$R_{is} = U_{GS}/I_{GS}$.
Für U_{GS} setzt man den Mittelwert zwischen den beiden Grenzwerten 8 und 13 V, also 10,5 V bzw. $\approx$ 10 V ein. Damit ergibt sich der Isolationswiderstand zu 25 GΩ. Die Vervielfachungs- und Teilungsvorsätze zur Maßeinheit gehören wie folgt zusammen: μA und MΩ, nA und GΩ, pA und TΩ. Unerläßliche Grundbedingung für die Gatestrommessungen ist eine gute Isolation der Gateleitung und aller damit in Verbindung stehenden Klemmen und Kontakte bis zur Trennstelle der Spannungsquelle. Als Isolierwerkstoff kommt nur Polystyrol in Frage (siehe auch Abschnitt 14.6.). Während die oben gezeigte Messung den Sperrstrom der Gateschutzdiode ergibt, mißt man nach diesem Verfahren den wahren Gatestrom bei den FET ohne Schutzdiode. Dieser ist jedoch bei fehlerfreien Bauelementen so niedrig, daß

selbst bei Entfernen der Zusatzkapazität sehr lange Meßzeiten notwendig werden. Weiterhin ist eine Abschirmung nötig, um Störladungen durch Influenz und Reibungselektrizität fernzuhalten.

Bei den FET *SM 103* und *SM 104* kann man einschließlich Leitungskapazität mit $C = 10$ pF rechnen. Eine Messung am *SM 104* ergab:

$$I = \frac{10 \text{ pF} \cdot 5 \text{ V}}{1000 \text{ s}} = 0{,}05 \text{ pA} .$$

Dieses Gatestrommeßverfahren läßt sich natürlich auch ohne Ohmmeter realisieren, wenn man eine Batterie für die Drain/Source-Spannung und einen Strommesser einfügt. Die U_{GS}-Werte liest man dann aus der Eingangskennlinie des FET ab.

Messungen an 72 FET *SMY 52* zeigten, wie wichtig die Gatestromkontrolle ist, wenn man die FET-Schalter im Speicherbetrieb nach Abschnitt 14.5. und Abschnitt 14.6. betreiben will. Während 68 von den geprüften Exemplaren bei $U_{GS} = -10$ V einen Ableitwiderstand von 0,7 bis 2 TΩ hatten, lagen 3 FET mit 15 GΩ und 1 mit 0,5 GΩ weit unter dem Durchschnitt. Um den Schaltzustand „Durchlaß" mit einer Speicherladung (etwa 30 min) zu halten, genügt bei den FET mit hohem Ableitwiderstand eine Kapazität von 10 bis 50 nF. Die schlechtesten FET würden mit diesem Wert schon nach weniger als 1 min in den Sperrzustand überwechseln! Das Meßresultat zeigt aber auch, daß eine große Zahl der FET bei $U_{GS} = -10$ V einen wesentlich niedrigeren Gatestrom haben, als er vom Hersteller für -20 V garantiert wird. Der garantierte Grenzwert des Herstellers von 0,1 μA entspricht einem Ableitwiderstand von 200 MΩ; 68 von 72 Exemplaren waren um 3 Größenordnungen besser. Mit dem gleichen Meßverfahren läßt sich auch der Ableitstrom I_X oder der Isolationswiderstand R_X anderer Bauelemente prüfen, wenn man anstelle des Prüflings einen sehr guten FET, also ein Exemplar mit kleinstem I_G einsetzt. Das zu prüfende Bauelement wird dann parallel zu C angeschlossen. Bleibt die Entladegeschwindigkeit im Vergleich zur Messung ohne R_X unverändert, ist $I_X < I_G$. Verdoppelt sich die Geschwindigkeit, ist $I_X = I_G$. Wird die Zeigerbewegung mit R_X zu schnell, muß man auch hier eine größere Kapazität einschalten. In diesem Fall kann der Gateableitstrom vernachlässigt werden.

16. Übertragung analoger Gleichspannungssignale

In fast allen FET-Schalterkonfigurationen war das Sperr- oder Durchlaßverhalten in bezug auf die Signalpolung unsymmetrisch. Außer der Wirkung der Kapazität $C12$ gelten alle für die Wechselspannungen gemachten Angaben im Prinzip auch für analoge Gleichspannungssignale, wenn diese in beiden Polaritäten auftreten können. Es gibt aber einige Anwendungen des FET-Analogschalters, bei denen nur Signale einer Polung zu übertragen sind. Die in Bild 5.3 eingezeichneten Substratdioden lassen erkennen, für welche Signalpolung der betreffende FET-Schalter günstiger ist, z. B. I A für positive Signale, I B für negative Signale, ebenso II A usw. Das umgekehrte Verhalten erzielt man beim n-Kanal-Verarmungs-FET durch Vertauschen von S und D, z. B. im Fall I A, II A sowie IV A, IV B und III C. Beim p-Kanal-Anreicherungs-FET wird B anders angeschlossen, z. B. bei I B an D, bei II B, III A und III B an Klemme 1 oder IV B an Klemme 2.

Diese Angaben betreffen die Folgen einer Überschreitung der Flußspannung eines pn-Übergangs. Bezüglich der Proportionalität der Signalübertragung gelten die Angaben in Abschnitt 8. auch für Gleichspannungen. Anstelle des Klirrfaktors tritt dann die Linearitätsabweichung. In den Fällen, in denen der Klirrfaktor durch die Beeinträchtigung der Halbwellen in nur einer Signalpolung begründet ist, kann man Gleichspannungssignale der anderen Polung bis zu höheren Werten mit geringen Linearitätsabweichungen übertragen.

17. Die Anwendung des FET-Analogschalters in der Praxis

Am Beispiel des Plattenspieler-Prüfgeräts *Fonotest* soll konkret gezeigt werden, wie die FET-Serienschalter zum Durchschalten oder Sperren von NF-Spannungen in die Schaltung eingefügt werden. Das Gerät *Fonotest* eignet sich zum Messen der Empfindlichkeit von Abtastsystemen und zum Messen der Geräuschspannungen nach *TGL 27 617*. Näheres darüber ist in [23] zu finden. In Bild 17.1 ist die zum Teil vereinfachte Schaltung zur Geräuschspannungsmessung wiedergegeben, soweit sie zur Demonstration des FET-Schaltereinsatzes notwendig ist. Die Signale der beiden Stereokanäle werden über Impedanzwandlerstufen V1 und V2 auf die FET-Analogschalter FS1 und FS2 geleitet. $C3$ und $C4$ trennen die Gleichspannungen von den FET. $R15$ und $R16$ leiten die Gateladung nach Masse ab, wenn der betreffende FET gesperrt ist, je nach Stellung des Seitenwählers Sch1. Hinter diesen FET-Schaltern wird das Signal auf 3 parallel liegende Spannungsteiler geleitet und von diesen durch Wahl der Betriebsart über einen der FET-Schalter FS3 bis FS7 auf den Meßverstärker gegeben. Bis zum Punkt A ist eine lineare Verstärkung bei konstantem Eingangswiderstand von 1 MΩ gewährleistet.
Im 2. Teil der Schaltung wird das Signal über $C61/C62$ auf die Trennstufe V3 geführt. Hier zeigt sich zunächst ein weiteres Einsatzgebiet des FET-Analogschalters, nämlich das Schalten von Filtern oder Schwingkreisen. $C61$ ergibt mit $L1$ bei Durchgang des FS 8 einen Hochpaß. Die Übertragungskurve, die nach Bild 17.2 zu fordern ist, entspricht *TGL 27 617*. Beim Schalten von Filtern oder Schwingkreisen setzt der FET-Schalter dadurch Grenzen, daß der Kanalwiderstand bei bestimmten Frequenzen in die Größenordnung des Blindwiderstands von C oder L kommen kann und die Kreisgüte beeinflußt. Im vorliegenden Fall schert die Hochpaßkurve (unten links gestrichelt gezeichnet) aus dem Sollverlauf aus und kommt an den Rand des Toleranzbereichs. Nach der Stufe V3 stehen für das Signal 2 Wege zur Verfügung, je nachdem, ob FS9 oder FS10 auf Durchgang steht. FS9 überträgt das ganze NF-Gebiet linear, FS10 kann dagegen zusätzlich zu FS8 eingeschaltet werden und ergibt dann mit dem Tiefpaß

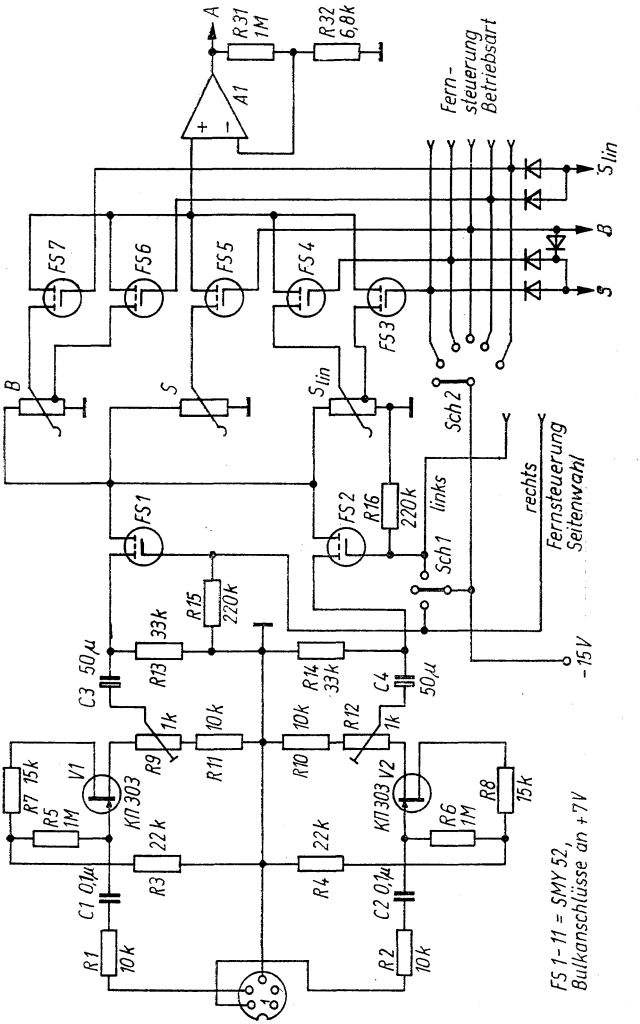


Bild 17.1 Plattenspieler-Prüfgerät *Fonotest*, Schaltungsauszug mit Vereinfachungen

+ 15 V
Ausgang
R69 1k
C68 50µ
FS 11
SC 239
V4
R67 2,2k
R66 100k
R65 100k
C67 20µ
R68 330k
Slin
B
S
FS 9
FS 10
R64 100k
R62 100k
R51 330k
47k
R60
R63 330k
C65 20µ
C66 1µ
C64 20µ
L2
R59 250
+ 15 V
R58 330
SC 239
V3
R57 2,2k
47k
R55
C62 10µ
R56 120k
1,5µ
R51 330
FS 8
R53 330k
R52 250
L1
A

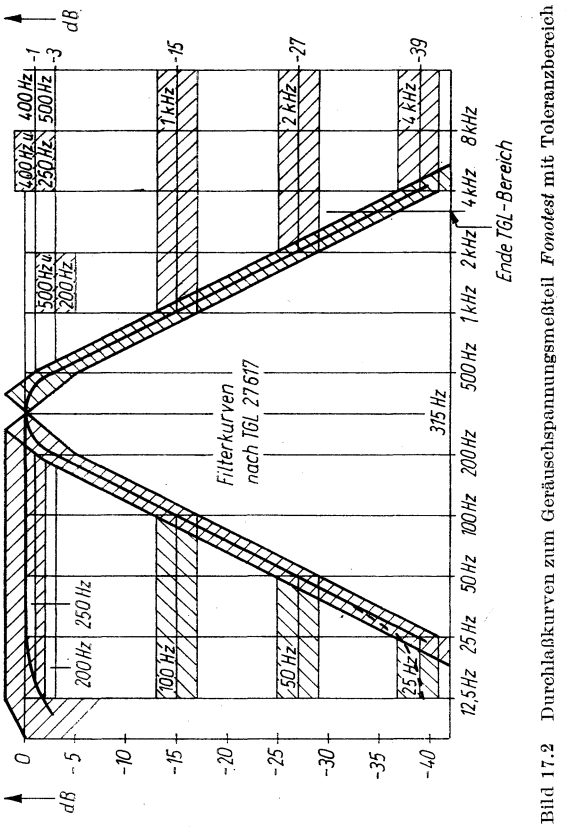


Bild 17.2 Durchlaßkurven zum Geräuschspannungsmeßteil *Fonotest* mit Toleranzbereich

*C*66/*L*2 die Gesamtkurve nach Bild 17.2. *C* 64, *C*65 und *C*67 trennen wieder die Gleichspannungen von den FET-Schaltern. Über die Stufe V4 wird das Signal mit FS11 zum Ausgang durchgeschaltet und auf ein Röhrenvoltmeter gegeben. Die zu messenden Geräuschspannungen (Brummen und Verstärkerrauschen bei abgehobenem Tonarm sowie Rumpeln bei aufgesetztem Tonarm in der Leerrille) liegen im μV-Bereich.

Durch die den Betriebsarten zugeordneten Dioden werden die jeweils zusammengehörenden FET mit einer Gatespannung beschickt.

18. Verwendete Kurzzeichen

$C10$	Schaltereingangskapazität
$C12$	Kapazität zwischen Eingang und Ausgang des Schalters (Durchgangskapazität des offenen Schalters)
$C20$	Schalterausgangskapazität
C_{ds}	Kapazität zwischen Drain und Source
C_{gs}	Kapazität zwischen Gate und Drain
C_{gd}	Kapazität zwischen Gate und Source
C_p	Parallelkapazität
C_s	Serienkapazität
G	Generator
I_D	Drainstrom
I_{DSS}	Drain-Kurzschlußstrom
I_F	Dioden-Flußstrom
I_G	Gatestrom
I_{GSD}	Strom der Gateschutzdiode
I_R	Dioden-Sperrstrom
k	Klirrfaktor
R_B	Begrenzungswiderstand für den Dioden-Flußstrom
R_{DS}	Innerer Widerstand des FET zwischen Drain und Source (Bahnwiderstand + Kanalwiderstand)
$R_{DS\ ON}$	R_{DS} bei aufgesteuertem FET
$R_{DS\ OFF}$	R_{DS} bei gesperrtem FET
R_G	Generator-Innenwiderstand
R_L	Abschlußwiderstand, Lastwiderstand des Schalters
R_V	Vorwiderstand
T	Zeitkonstante
t	Zeit
$U_a = U20$	Schalterausgangsspannung
U_{DS}	Spannung zwischen Drain und Source
$U_e = U10$	Schaltereingangsspannung
U_F	Flußspannung

U_G	Generatorspannung
U_{GS}	Spannung zwischen Gate und Source
$U_{GS\ ON}$	Gatevorspannung für FET-Durchlaß
$U_{GS\ OFF}$	Gatevorspannung für FET-Sperrung
U_P	Abschnürspannung (pinch-off-voltage)
$U_{st} = U30$	Steuerspannung des Schalters
U_{SB}	Spannung zwischen Substrat und Source
U_T	Schwellspannung (threshold voltage)
v	Verstärkung
X_{C12}	Blindwiderstand der Durchgangskapazität

Signalspannungen sind in Effektivwerten angegeben

Literatur

FET-Grundlagen

[1] *Lessen, M.*: Feldeffekttransistoren – Eigenschaften und Anwendung; Band 131 der Amateurreihe „electronica", Militärverlag der DDR, Berlin 1974

[2] *Launhardt, R.*: Feldeffekttransistoren – Übersicht, Eigenschaften und Anwendung; radio-fernsehen-elektronik 18 (1969), H. 23, S. 755 bis 758, und H. 24, S. 792 bis 794

[3] *Thiele, G.*: Arten und Aufbau von Feldeffekttransistoren; FUNKAMATEUR 23 (1974) H. 9, S. 445 bis 448

[4] *Jakubaschk, H.*: MOSFET – Schaltungspraxis; Band 143 und Band 162 der Amateurreihe „electronica", Militärverlag der DDR, Berlin 1976 und 1978

[5] MOS-Schaltkreise, Information und Applikation; Firmendruckschrift des VEB *Funkwerk* Erfurt, Erfurt 1972

[6] MOS-Feldeffekt-Transistoren, Applikationsbeispiele; Firmendruckschrift VEB *Funkwerk* Erfurt, Erfurt 1973

[7] *Hillebrand, F., Heierling, H.*: Feldeffekt-Transistoren in analogen und digitalen Schaltungen; Franzis-Verlag, München 1972

[8] *Schwan, H.*: Das FET-Kochbuch; Texas Instruments GmbH, technik marketing, München 1977

FET – Technische Daten

[9] *Jansen, M., König, G.*: MOS-Feldeffekttransistoren; radio-fernsehen-elektronik – Halbleiterinformationen:

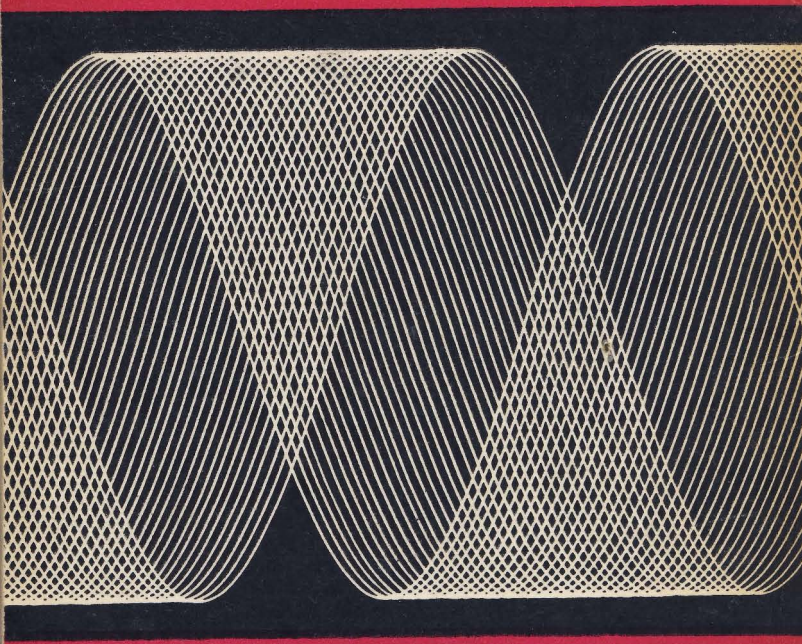
SM 103 Halbleiterinformation Nr. 67, 19 (1970)
SM 104 H. 5, S. 151 bis 152 und H. 6, S. 187
SMY 50 Halbleiterinformation Nr. 83, 20 (1971)
SMY 51 H. 24, S. 799 bis 800
SMY 52 Halbleiterinformation Nr. 84, 21 (1972) H. 1, S. 15 bis 16
U 105 D Halbleiterinformation Nr. 94, 22 (1973) H. 14, S. 457 bis 458
SMY 60 Halbleiterinformation Nr. 112, 25 (1976) H. 15, S. 494

[10] *Göttel, E.*: Sowjetische Transistoren;
K 302 Halbleiterinformation Nr. 98, 22 (1973) H. 20, S. 659 bis 660
K 303 Halbleiterinformation Nr. 99, 22 (1973) H. 22, S. 731 bis 732
[11] *Mögling, W.*: Sowjetische Feldeffekttransistoren (Doppel-Gate-HF-MOSFET);
K 350 Halbleiterinformation Nr. 104 bis 105, 24 (1975) H. 6, S. 189 bis 190, und H. 7, S. 229
[12] *Mögling, W.*: Katalog sowjetischer Transistoren, Feldeffekt-Transistoren; radio-fernsehen-elektronik 25 (1976) H. 19/20, S. 633

FET-Analogschalter allgemein
[13] *Scheidt*: Kontaktlose Analogschalter mit Feldeffekttransistoren; Elektronik-Anzeiger (1972)
[14] Analogschalter – Erläuterungen und Anwendungen; Firmendruckschrift von Intersil, USA
[15] *Fischer, H., Liedel, R.-D.*: Halbleiter-Analogschalter; NZT 24 (1971) H. 1, S. 37 bis 42
Allgemeines über FET-Analogschalter auch in [7] und [8]

FET-Analogschalter, speziell
[16] *Steffen, W.*: Elektronischer Meßstellenumschalter mit MOS-Bauelementen; radio-fernsehen-elektronik 23 (1974) H. 19, S. 640 bis 643
[17] *Steffen, W., Görsch, R., Canitz, H.*: Zwischenspeicher für den Einsatz im Satelliten; radio-fernsehen-elektronik 23 (1974) H. 5, S. 170 bis 172
[18] *Tolk, A.*: Verstärkungsumschaltung mittels FET; Technische Mitteilungen des RFZ, 17 (1973) H. 4, S. 98 bis 102
[19] *Loose, E., Sachtleben, H. J.*: Diskret realisierte Eimerkettenschaltung und ihre Nebensprecheigenschaften; radio-fernsehen-elektronik 24 (1975) H. 19, S. 642 bis 645
[20] *Brumme, R., Ebert, G.*: Spannungsabhängigkeit des MOST-Kanalleitwertes; Nachrichtentechnik 19 (1969) H. 7, S. 251 bis 254
[21] *Reiniger, K.-D., Tränkler, H.-R.*: Digital-Analog-Umsetzer mit FET-Schaltern; Elektronik 21 (1972) H. 2, S. 39 bis 43

[22] *Kober, H. u. a.*: 10-Bit-AD-Umsetzer mit automatischer Nullpunktkorrektur; radio-fernsehen-elektronik 24 (1975) H. 21, S. 685 bis 690
[23] *Frommhold, E. A.*: Neuer Meßplatz für Schallplattenabspielgeräte; radio-fernsehen-elektronik 26 (1977) H. 6, S. 182 bis 186
[24] *Kühnel, C.*: Analogschalter mit MOS-Feldeffekttransistor *SMY 50*, radio-fernsehen-elektronik 26 (1977) H. 5, S. 165 bis 166
[25] *Hoeg, B. u. a.*: Analoges Multiplexschaltersystem mit Operationsverstärkern; radio-fernsehen-elektronik 25 (1976) H. 16, S. 536 bis 537

Kontinuierliche Pegelregelung mit FET
[26] *Sodtke, W.*: Regelschaltungen mit Feldeffekt-Transistoren; Funkschau 41 (1969) H. 7, S. 189 bis 191
[27] *Kühne, H.*: Der MOSFET *SM 103* als steuerbarer Widerstand; FUNKAMATEUR 21 (1972) H. 4, S. 177 bis 179
[28] *Goller, L.*: Feldeffekt-Transistoren als steuerbare, lineare Widerstände; NTZ 23 (1970) H. 10, S. 507 bis 511
[29] Dioden und Feldeffekttransistoren als Stellwiderstände im NF-Gebiet; FUNKAMATEUR 26 (1977) H. 2, S. 73 bis 77

Sonstiges
[30] *Turinsky, G.*: Pegelregenerierung und Pegelwandlung in digitalen Geräten; radio-fernsehen-elektronik 23 (1974) H. 6, S. 184 bis 186 und 191
[31] *Kühne, H.*: Schaltbeispiele mit digitalen p-Kanal-MOS-Schaltkreisen; Band 163 der Amateurreihe „electronica", Militärverlag der DDR, Berlin 1978
[32] *Jakubaschk, H.*: Das große Schaltkreis-Bastelbuch; Militärverlag der DDR, Berlin 1978
[33] *Jakubaschk, H.*: Prüf- und Meßschaltungen für Halbleiter; Band 160 der Amateurreihe „electronica", Militärverlag der DDR, Berlin 1978
[34] *Schlenzig, K., Bläsing, K.-H.*: Original-Baupläne Nr. 23 und 27, Militärverlag der DDR, Berlin 1973 und 1974